Universidad Central “Marta Abreu” de Las Villas

Facultad de Ingeniería Eléctrica

Departamento de Telecomunicaciones y Electrónica

TRABAJO DE DIPLOMA

Titulo: **“Caracterización del proceso de diseño en la Electrónica Digital moderna. Experiencias de su introducción en la enseñanza”.**

Autor: Dariel Hernández Ariosa.

Tutor: MSc. Juan Pablo Barrios Rodríguez

Santa Clara

2004

"Año del 45 Aniversario del Triunfo de la Revolución"

Resumen

En el presente trabajo de diploma se realiza una caracterización del estado del arte del proceso de diseño por parte de las firmas productoras de sistemas digitales complejos, para develar, a partir de su estudio, cuáles son las características generales de este proceso y cómo implementar un proceso docente capaz de desarrollar esta habilidad y ponerla a tono con las técnicas y estrategias que se utilizan para diseñar sistemas digitales modernos en el mundo.

Se realiza una revisión de los planes de estudio, bibliografía, prácticas de laboratorio y proyectos de curso de diferentes universidades de prestigio mundial, caracterizando el estado del arte en la enseñanza del diseño de sistemas digitales, vías para su evaluación, así como la evaluación de nuestras experiencias.

Por último se propone, en función de los resultados anteriores, las modificaciones necesarias al proceso de enseñanza-aprendizaje dentro de los programas analíticos de las asignaturas de Electrónica Digital, para elevar el nivel de desarrollo de la habilidad de diseño.

Introducción ---------- 1
CAPITULO 1: Caracterización del estado del arte del proceso de diseño por parte de las firmas productoras de sistemas digitales complejos. ---------- 4
1.1 Metodología de diseño de los sistemas digitales. ---------- 4
1.1.1-Introducción.---------- 4
1.1.2-Formas de descripción de los sistemas digitales complejos. ---------- 5
1.1.2.1-Forma de descripción según el tipo de jerarquía.---------- 6
1.1.2.2-Formas de descripción según la representación del sistema.---------- 7
1.1.2.3-Formas de descripción según la relación con la realización física.----------10
1.1.3- Verificación del funcionamiento del sistema----------10
1.1.3.1- Introducción ----------10
1.1.3.2-Diseño orientado a la verificabilidad.----------12
1.1.3.2.1- Técnicas específicas para la verificación externa.----------13
1.1.3.2.2- Técnicas estructuradas para la verificación externa. ----------13
1.1.4-Implementación del sistema. ----------18
1.1.4.1- Introducción a los circuitos digitales configurables. ----------18
1.1.4.2- Definición, clasificación y características de los CDC.----------19
1.1.4.3- Análisis comparativo. ----------22
1.1.4.3.1- Comparación entre los CDC, los circuitos semimedida y los circuitos estándar de lógica discreta. ----------22
1.1.4.3.2- Comparación ASIC/FPGA. ----------23
1.1.4.3.3- Redes de compuertas cableadas.----------23
1.2-Lenguajes de descripción de sistemas digitales. ----------24
1.2.1-Introducción, clasificación general. ----------24
1.2.2-Lenguajes HDL no estructurados. ----------24
1.2.3-Lenguajes HDL estructurados.----------25
1.3- Diagramas de flujos de diseño de firmas productoras de sistemas digitales complejos. ----------25
1.3.1-Descripción del flujo de diseño de las firmas Xilinx y Altera.----------25
1.3.1.1 Descripción del flujo de diseño de Xilinx.----------25
1.3.1.2 Descripción del flujo de diseño de Altera.----------28
1.4 Análisis Histórico de las estrategias de diseño de los sistemas digitales. ----------32
1.5 Conclusiones parciales.----------33
CAPITULO 2: Caracterización del estado del arte en la enseñanza del diseño de sistemas digitales. Estrategias desarrolladas en nuestro centro. ----------35
2.1 Introducción----------35
2.2 Principales valoraciones acerca de la enseñanza de la Electrónica Digital en las universidades cubanas.----------35
2.3 Análisis comparativo de los Planes de Estudio de Electrónica Digital. ----------41
2.4 Análisis de las estrategias de diseño abordadas en la literatura. Propuestas a partir de las experiencias en el centro. ----------43
2.4.1 Estrategia de diseño de sistemas combinacionales con ayuda de un lenguaje de descripción de hardware.----------43
2.4.2 Estrategia de diseño de sistemas procesadores digitales secuenciales sincrónicos con ayuda de un lenguaje de descripción de hardware.----------47

CAPITULO 3: Evaluación de las experiencias. Propuestas de modificaciones a los programas analíticos para elevar la calidad en el desarrollo de la habilidad de diseño. ----50
3.1 Evaluación de las experiencias. ----------50
3.2 Propuestas de modificaciones a los programas analíticos para elevar la calidad en el desarrollo de la habilidad de diseño. ----------54
Conclusiones:----------64
Bibliografía: ----------65
Anexos……...67

Introducción

En la Electrónica Digital moderna, caracterizada por su alto desarrollo tecnológico, coexisten una serie de conceptos interrelacionados que presentan además diversas alternativas de representación y realización. Tanto la representación como la realización de un problema solucionable dentro del campo de la Electrónica Digital se combinan en el llamado diseño. El diseño es, además de un proceso tecnológico, una habilidad a desarrollar en los futuros profesionales de esta rama.

Los Proyectos Internacionales de colaboración desarrollados entre el 1998 y el 2003 por las Universidades "Marta Abreu" de Las Villas y la de Vigo (España) en el campo de la enseñanza de los sistemas digitales utilizando las TIC, el Proyecto MES "Generalización de experiencias en la enseñanza de la Electrónica" acerca de las experiencias de la enseñanza de la Electrónica en Cuba dirigido por el Dr. José A. Chaljub Duarte, la experiencia acumulada en el campo de la enseñanza de la Electrónica Digital por el colectivo de esta asignatura, han hecho necesaria la realización de este trabajo, que además es consecuencia de los profundos y acelerados cambios que se están dando dentro del campo del diseño digital moderno, caracterizado por el trabajo en equipo (team work), la aplicación de metodologías de diseño vertical (top-down ó bottom-up), un uso intensivo de las herramientas computacionales en los procesos de conceptualización, modelación, simulación, compilación, síntesis y verificación de los sistemas, unido al uso de lenguajes de descripción de hardware (VHDL, Verilog), bibliotecas parametrizables, etc.

La elevación de la complejidad de los sistemas producto del desarrollo tecnológico en diferentes áreas de la electrónica hizo necesario desarrollar métodos de diseño que permitiesen garantizar el correcto funcionamiento del sistema una vez implementado.

Numerosos han sido los autores que han establecido modelos del proceso de diseño aplicables a cualquier tecnología, en general estos se caracterizan por un procedimiento sistemático que parte del análisis del problema global, pasa por su descomposición en subproblemas, la búsqueda de soluciones parciales y finalmente su combinación para obtener una solución global (diseño top-down). En la actualidad las firmas de mayor impacto en el campo de los sistemas digitales (Altera, Xilinx, Actel, Lattice, Cypress, Intel, entre otras) incluyen dentro de sus herramientas de ayuda al diseño EDA, de una u otra forma esta estrategia general, diferenciándose en las interfaces hombre-

máquina elaboradas, en las herramientas específicas y en las formas de entrada de las descripciones para cada una de las fases de diseño.

Todos estos cambios exigen de formar un profesional cada vez más familiarizado con estos procesos, pero a su vez impone al docente de un análisis de cuáles son las invariantes, dentro del cúmulo de estrategias que proponen las diferentes firmas especializadas, que se necesitan para desarrollar la habilidad de diseño con un carácter trascendente dentro del proceso de enseñanza-aprendizaje.

En el caso particular de nuestra facultad, las asignaturas de Electrónica digital utilizan la herramienta OrCAD 9.0 para la descripción de los diseños, tanto de forma esquemática como en VHDL con diferentes niveles de jerarquía en ambos casos. Esta herramienta, combinada con el Altera Max Plus II permite la realización de diseños utilizando la metodología vertical top-down y su implementación en dispositivos PLDs (CPLDs) de dicha firma.

Lo anterior, unido a la realización de trabajos extraclases en forma de proyectos colectivos ha permitido elevar el nivel del desarrollo de las habilidades de diseño digital. No obstante resulta conveniente y necesaria una revisión actualizada de estos métodos y la evaluación de la efectividad de los actuales con la finalidad de trazar una estrategia que permita continuar elevando la calidad del proceso de enseñanza-aprendizaje.

El problema fundamental puede plantearse mediante la siguiente pregunta:

¿Hasta qué punto las estrategias pedagógicas para el desarrollo de las habilidades de diseño utilizadas actualmente son convenientes y están a tono con las características más generales de este proceso en firmas dedicadas al diseño y producción de circuitos digitales complejos?

Con este trabajo se persiguen los siguientes objetivos y tareas:

Objetivos y tareas trazadas en el presente trabajo:

Objetivo General:

Contar con un estudio técnico y didáctico del proceso de diseño digital moderno que permita analizar la efectividad del que se viene desarrollando en nuestro centro y cuáles serían las modificaciones necesarias para elevar los niveles de desarrollo de esta habilidad.

Objetivos específicos:

- Contar con una revisión actualizada de los flujos de diseño que utilizan las firmas más importantes en la producción de circuitos y aplicaciones digitales.
- Resumir comparativamente, en función de los programas de estudio en esta materia, cuáles son las herramientas y estrategias de diseño que aplican en los mismos.
- Contar con un modelo evaluativo de efectividad del desarrollo del proceso docente en el fomento de la habilidad de diseño que permita compararlo con el de otros centros nacionales o internacionales.
- Proponer modificaciones a los programas analíticos de las asignaturas de Electrónica Digital que permitan elevar el nivel de desarrollo de la habilidad de diseño.

Tareas de investigación:

- Revisión y/o búsqueda en Internet, Bibliotecas y otras fuentes de los flujos de diseño de diferentes firmas de prestigio en el campo del desarrollo de sistemas digitales.
- Revisión de los planes de estudio, bibliografía, prácticas de laboratorio y proyectos de curso de diferentes universidades de prestigio mundial y de las herramientas de ayuda al diseño que utilizan.
- Revisión de las formas de evaluación de estos programas.
- Desarrollar y/o aplicar estas formas de evaluación para medir la efectividad de lo que se ha venido aplicando en nuestra facultad en estas asignaturas.
- Proponer, en función de los resultados anteriores, las modificaciones necesarias al proceso de enseñanza-aprendizaje de estas asignaturas dentro de sus programas analíticos.
- Redacción y presentación del Informe Final.

CAPITULO 1: Caracterización del estado del arte del proceso de diseño por parte de las firmas productoras de sistemas digitales complejos.

1.1 Metodología de diseño de los sistemas digitales.

1.1.1-Introducción.

La elevación de la complejidad de los sistemas creados por el ser humano, producto del desarrollo tecnológico en diferentes áreas, hizo necesario desarrollar métodos de diseño que permitiesen garantizar el correcto funcionamiento del sistema una vez implementado. Dichos métodos han tenido, además, que ir cambiando conforme se ha elevado la complejidad de los sistemas.

Los sistemas digitales constituyen un ejemplo de lo antes dicho. Cuando son sencillos, el método de diseño consiste en la obtención de una tabla de verdad y su minimización mediante el método tabular o numérico. Los sistemas digitales complejos se pueden definir como aquellos sistemas digitales que están compuestos por un número de puertas superior a cien y se caracterizan por el hecho de que, independientemente de cómo estén realizados, en su diseño no es posible utilizar el método antes citado.

Numerosos han sido los autores que han establecido modelos del proceso de diseño, aplicables a cualquier tecnología, que permitiesen el desarrollo de un método para llevarlo a cabo. Entre todos ellos se destaca el modelo propuesto por la asociación de ingenieros alemanes a través de la norma VDI 2221. Ellos realizan la estrategia de un proceso jerárquico de diseño en el que cada componente de un sistema complejo constituye un módulo separado. La utilización de esta estrategia en el diseño de sistemas digitales complejos presenta la ventaja de que los módulos pueden ser realizados para diseñar diferentes sistemas, con la consiguiente reducción del costo de diseño.

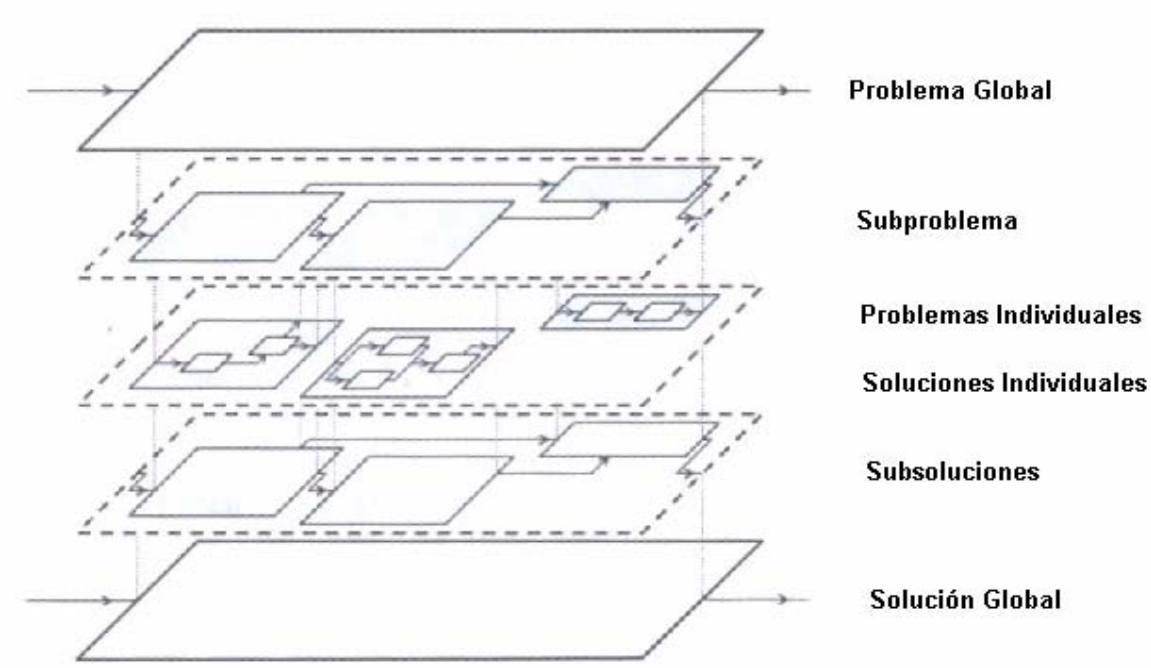


Figura 1.1-Descripción gráfica del modelo de diseño VDI 2221.

Por otra parte los sistemas digitales complejos se caracterizan por el hecho de que, en general, antes de realizar el prototipo es conveniente comprobar su funcionamiento de acuerdo con las especificaciones. Esto da lugar a que su proceso de diseño se pueda dividir de forma simplificada en tres fases:

- La descripción del sistema.
- La verificación del funcionamiento del sistema.
- La implementación del sistema.

De estas tres fases, tanto la de descripción como la de verificación presentan aspectos comunes a todas las formas de realización física de los sistemas digitales complejos y por ello se analizan con detenimiento a continuación.

1.1.2-Formas de descripción de los sistemas digitales complejos.

La descripción de los sistemas digitales complejos se puede realizar, tal como se indica en la siguiente tabla, de diferentes maneras según tres parámetros característicos interrelacionados entre si:

- El tipo de jerarquía.
- La representación del sistema.
- La relación con la realización física.

Tabla 1.1 Formas de descripción de los sistemas digitales complejos.

1.1.2.1-Forma de descripción según el tipo de jerarquía.

Para llevar a cabo una descripción jerárquica, los componentes se interconectan formando componentes mas complejos, lo que establece diferentes niveles dentro de la jerarquía de diseño.

Jerarquía horizontal.

En esta variante los circuitos complejos se dividen en bloques más sencillos, que se repiten. Es adecuada para formar sistemas que operan con un determinado numero de bits mediante circuitos de menos bits, como por ejemplo para realizar un sumador de 8 bits en paralelo, mediante 8 sumadores totales de un bit con propagación del acarreo en serie, o un contador de 16 bits a partir de 4 contadores de 4 bits con salidas de propagación.

Este método es bastante intuitivo pero en algunos casos da lugar a sistemas poco eficientes, como por ejemplo el sumador paralelo que se acaba de citar.

Jerarquía vertical.

En esta variante de descripción los sistemas digitales complejos se dividen en bloques, realizando cada uno una función diferente. Dentro de esta metodología existen a su vez dos variantes:

Jerarquía vertical de abajo hacia arriba (botton-up).

En este tipo de jerarquía los sistemas digitales se describen a partir de bloques funcionales elementales. A sido utilizada para diseñar circuitos integrados normalizados de escala de integración media (MSI) que contienen bloques funcionales realizados con un número reducido de puertas lógicas básicas y mediante ella es posible describir actualmente un sistema digital combinando los citados bloques funcionales. Este tipo de jerarquía es fácilmente utilizable por un técnico acostumbrado a diseñar circuitos digitales mediante circuitos digitales normalizados.

Jerarquía vertical de arriba hacia abajo (top-down).

En este tipo de jerarquía los sistemas digitales complejos se describen mediante un conjunto de módulos (determinadas subsoluciones) de los que se indica su función sin especificar la forma en que están realizados. Dicha especificación se realiza posteriormente con ayuda de una herramienta CAD.

Actualmente muchas herramientas de CAD poseen las llamadas bibliotecas de módulos parametrizables, que permite seleccionar el bloque funcional que se desea realizar, sin especificar inicialmente su tamaño. Esto hace que este medio sea en la actualidad el mas recomendable, al menos como primera aproximación al diseño de un sistema digital complejo, por que presenta la ventaja de obligar al diseñador a definir inicialmente la totalidad del sistema a diseñar y los bloques fundamentales que lo componen, así como a establecer a grandes rasgos la funcionalidad que deben tener y las señales de entrada y salida que reciban.

1.1.2.2-Formas de descripción según la representación del sistema.

Los sistemas digitales complejos se pueden describir de forma estructural, funcional o de comportamiento y física o geométrica. Una posible representación entre dichas formas de descripción es el diagrama de Gajski-Kuhn de la figura 1.2. Dicho diagrama indica que los tres tipos de descripción permiten especificar un sistema digital de forma jerárquica mediante diferentes niveles de abstracción.

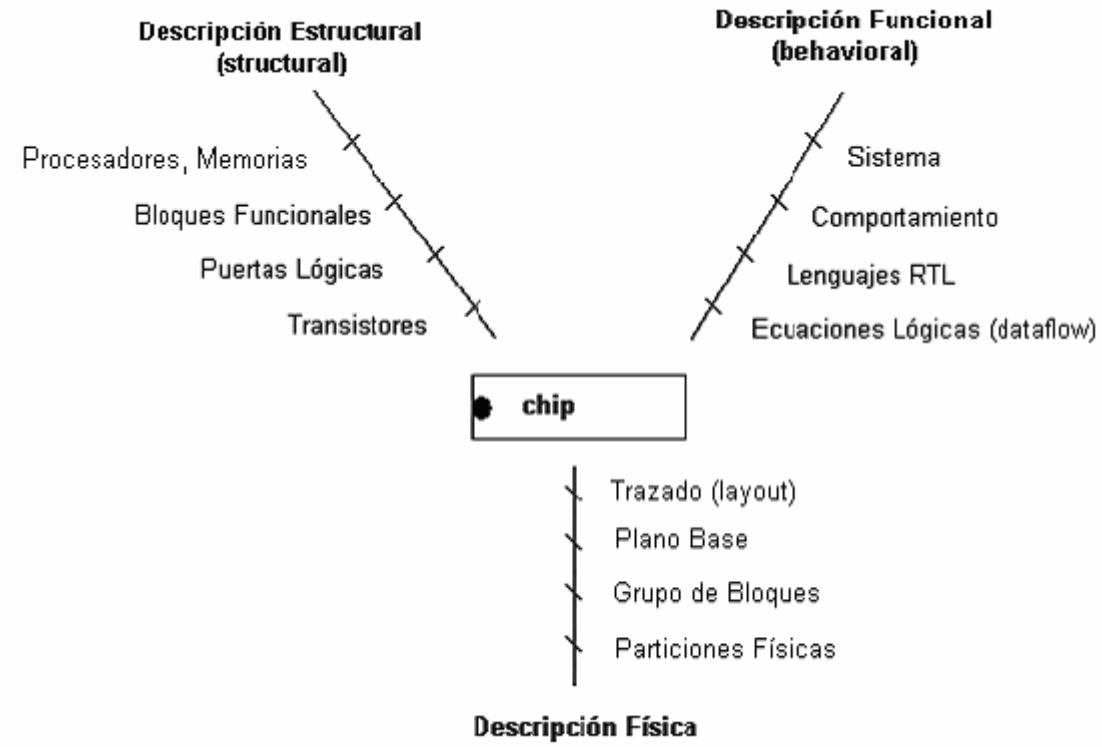


Figura 1.2- Diagrama de Gajski-Kuhn de la relación entre las formas de descripción de los sistemas digitales complejos.

Descripción estructural.

La descripción estructural consiste en especificar la totalidad de los elementos que componen el sistema digital y las interconexiones entre ellos.

Descripción física o geométrica.

La descripción física consiste en la generación de los datos necesarios para realizar físicamente el sistema y por ello la forma de llevarla a cabo es diferente según el tipo de implementación física elegida.

Descripción funcional o de comportamiento.

La descripción funcional, también denominada de comportamiento (behavioral modelling), cosiste en especificar el funcionamiento del sistema digital en lugar de detallar los elementos que lo forman. Los formatos habituales para describir el comportamiento de los sistemas digitales sencillos son las tablas de verdad, las ecuaciones lógicas y los grafos de estados, y de los complejos, el flujo de datos (Dataflow) y los algoritmos de comportamiento, ver la figura anterior. Para potenciar esta forma de descripción fue necesario desarrollar lenguajes de sistemas digitales, mencionados anteriormente.

En la tabla 1.2 se muestra de forma resumida las características de cada una de estas

descripciones. Como la tabla indica, las componentes principales en el nivel transistor son transistores, resistores y capacitores, los cuales son combinados para formar circuitos analógicos y digitales que puedan satisfacer una funcionalidad dada. Esta funcionalidad es usualmente descrita por un conjunto de ecuaciones diferenciales o por algún tipo de relación corriente-voltaje. La representación física de estos circuitos digitales y analógicos, llamada celda, constaría de componentes del nivel transistor y los cables que los conectan.

Tabla 1.2 Descripciones y niveles de abstracción.

Level	BEHAVIORAL FORMS	STRUCTURAL COMPONENTS	PHYSICAL OBJETS
Transistor	Differential equations, current-voltage diagrams	Transistors, resistors, capacitors	Analog and digital cells
Gate	Boolean equations, finite-state machines	Gates, flip-flops	Modules, units
Register	Algorithms, flowcharts, instruction sets, generalized FSM	Adders, comparators, counters, register files, datapaths	Microchips
Processor	Executable specification, programs	Processor, controllers, memories, ASICs	Printed-circuit boards, multichip modules

También se puede apreciar que los componentes principales en el nivel puerta son puertas lógicas y flip-flops.

Las puertas y flip-flops son celdas digitales típicas con entradas y salidas en su periferia. Estas celdas pueden ser agrupadas y colocadas en una superficie de silicio para formar la aritmética y módulos de almacenamiento o unidades que se usan como los componentes básicos en el nivel de registro.

En el caso del nivel de registro, las principales componentes son aritméticas y unidades de almacenamiento, tales como sumadores, comparadores, multiplicadores, contadores, registros, etc. Estos componentes de registros pueden ser ensamblados e interconectados dentro de un microchip, que son usados como un componente básico en el nivel de abstracción superior, al cual se hace referencia en esta tabla como el más alto, lo denominan el nivel de procesador y sus componentes básicas son procesadores, controladores, e interfaces, además de los llamados circuitos integrados de aplicación específica (ASICs).

1.1.2.3-Formas de descripción según la relación con la realización física.

La descripción de un sistema digital complejo puede ser independiente o dependiente de la tecnología, palabras que hacen referencia a la forma de llevar a cabo la realización física.

La descripción independiente de la tecnología es aquella que se realiza sin tener en cuenta el tipo de circuito en el que se va a implementar el sistema digital (circuito integrado a la medida, circuito configurable, etc.). Puede ser estructural o de comportamiento. Generalmente se utiliza la de comportamiento debido a que la descripción estructural independiente de la tecnología resulta poco útil porque en ella solo se pueden utilizar elementos básicos (biestables y puertas lógicas).

La descripción dependiente de la tecnología tiene en cuenta el tipo de circuito en que se va a implementar el sistema digital y se lleva acabo mediante recursos de propagación (tiempos de demora) proporcionados por cada fabricante que, en general, optimizan los recursos del circuito elegido para implementar el sistema.

Para aprovechar las ventajas de cada uno de estos tipos de descripción, se suelen combinar para realizar un sistema digital complejo mediante circuito digitales configurables.

1.1.3- Verificación del funcionamiento del sistema

1.1.3.1- Introducción

La verificación de un sistema es el proceso mediante el cual se comprueba que su comportamiento es acorde con las especificaciones. La verificación de los sistemas es un proceso inherente a la tecnología, y su importancia ha ido creciendo simultáneamente con el aumento de la complejidad de los sistemas creados por el ser humano.

Para realizar la verificación de un sistema se aplican determinados estímulos a sus entradas y se observa la respuesta obtenida a sus salidas. Dichos estímulos pueden ser los mismos que recibe el sistema en funcionamiento normal, o específicos para efectuar la verificación. En el caso de los sistemas digitales complejos realizados en un circuito integrado monolítico de muy gran escala de integración (VLSI) o ultra gran escala de integración (ULSI), el número de puntos a los que se tiene acceso desde el exterior esta limitado en la practica [BENN 84]. Por ello es muy útil, en general, incluir circuitos digitales adicionales o redundantes (innecesarios desde un punto de vista funcional) para facilitar la verificación, y aumentar el número de terminales de entrada y salida por encima de los estrictamente necesarios desde el punto de vista operativo [HAYE 74] [WILL 83], lo cual solo ha sido posible gracias al abaratamiento del sistema físico (hardware) propiciado por la elevación de la capacidad de integración.

De lo expuesto se deduce por lo tanto, que los dos conceptos más importantes ligados a la verificación de los sistemas digitales complejos son:

- La complejidad (en inglés "controllability"), que se define como la capacidad para fijar el estado de cualquiera de los nodos internos de un sistema a partir de los valores de las entradas, es decir, sin necesidad de tener acceso directo al nodo.
- La observabilidad (en inglés "observability"), que se define como la capacidad para conocer el estado de cualquiera de los nodos internos de un sistema mediante la observación de las salidas, es decir, sin necesidad de tener acceso directo al nodo.

La elección de los puntos que se deben controlar u observar en un circuito para maximizar la probabilidad de detección de errores durante la verificación, es el factor clave para poder comprobar su correcto funcionamiento. Esta elección depende de las características particulares de cada sistema, de la aplicación a que se destina el mismo y de las posibles fuentes externas de errores.

Para realizar la verificación de un sistema digital complejo se pueden considerar dos tipos de técnicas:

- **Verificación estática, activa o no concurrente.**

Recibe en inglés la denominación de "testing" y se efectúa con el sistema fuera de servicio. Puede ser efectuada directamente sobre el mismo o, indirectamente, sobre un modelo descriptivo de su comportamiento, en cuyo caso puede dar lugar a la simulación del sistema o al análisis de los retardos que se producen en el mismo.

- **Verificación dinámica, pasiva o concurrente.**

Recibe en inglés la denominación de "checking" y se puede denominar en español comprobación. Se lleva a cabo de forma simultánea con la operación del sistema o sin desconectarlo del entorno en el que funciona normalmente, lo que constituye una de sus principales ventajas. Para realizar la comprobación se compara el comportamiento del sistema con un modelo abstracto del mismo. Presenta el inconveniente de que no permite detectar fallos latentes, que son aquellos que están presentes en el sistema en un momento dado sin haber producido todavía un efecto detectable. Los fallos latentes no se detectan hasta que el funcionamiento normal del sistema propaga sus efectos hasta la salida, es decir hasta que se produce un error.

Según la ubicación de los mecanismos de verificación se pueden distinguir dos alternativas:

- La verificación externa, que es la que lleva a cabo un equipo independiente del sistema que se esta verificando. Este tipo de verificación tiene gran importancia en los circuitos integrados digitales en general y en los configurables en particular.

- La autoverificación (en inglés BIST, acrónimo de "Built-in Self Test "), que es la que se lleva a cabo una parte del propio sistema, sin necesidad de equipos externos. Este tipo de verificación esta ligado a los sistemas que, por su aplicación, deben poseer una elevada garantía de funcionamiento (en inglés "Dependability"), que se define como la propiedad que permite al usuario tener una confianza justificada en el servicio que el sistema proporciona [LEE 90]. La autoverificación se realiza en general añadiendo al circuito más recursos lógicos que los necesarios para la verificación externa.

El interés por reducir los costo de la verificación de los sistemas digitales complejos, en especial cuando están realizados en un circuito integrado monolítico, dio como resultado el concepto de verificabilidad (en inglés "Testability") que se puede definir como la facilidad para desarrollar una secuencia de pruebas que comprueben el funcionamiento de un sistema mediante el aislamiento de fallos en componentes o subsistemas. La verificabilidad debe ser tenida en cuenta desde el momento en que se inicia la concepción de un sistema digital complejo, pues el costo y la complejidad asociados con ella aumentan a medida que se retrasa su consideración dentro del proceso de diseño. Esto motivó el desarrollo de un conjunto de técnicas, conocidas bajo la denominación de "Diseño orientado a la verificabilidad" (en inglés DFT "Desing for Testability") cuyo objetivo es añadir a un sistema digital complejo, durante la fase de diseño, un conjunto de características especiales para facilitar su verificación externa y/o su autoverificación.

1.1.3.2-Diseño orientado a la verificabilidad.

Tal como se indica en el apartado anterior, el diseño orientado a la verificabilidad (DFT) esta ligado a la redundancia (en inglés "redundancy"). Se dice que una parte de un sistema es redundante cuando esta formada por elementos que son innecesarios desde el punto de vista estrictamente funcional.

El interés por el diseño orientado a la verificabilidad comenzó en la década de 1970, al alcanzarse la gran escala de integración (LSI), con el establecimiento de diversas técnicas experimentales por parte de diseñadores de sistemas digitales pertenecientes a las empresas y universidades mas activas en el área [WILL 83].

Las técnicas DFT se pueden aplicar tanto a la verificación externa como a la autoverificacion, y en caso de la primera pueden ser específicas o estructuradas.

1.1.3.2.1- Técnicas específicas para la verificación externa.

Las técnicas específicas o ad hoc para la verificación externa son reglas que solucionan el problema de la verificabilidad de un determinado sistema o tipo de sistemas de reducida complejidad.

Entre las técnicas de DFT específicas cabe citar:

- Dotar al sistema de una señal de puesta en estado inicial que permita poner todos los biestables en un estado conocido en cualquier instante, lo que proporciona un elevado grado de controlabilidad.
- Dotar al sistema de señales de control que permitan poner a cero y/o a uno las determinadas señales significativas del mismo con el objetivo de elevar su controlabilidad.
- Dotar al sistema de puntos de prueba (en inglés "test points") que incrementen la observabilidad, se deben coger como puntos de prueba las señales mas significativas, entre las que cabe citar:
  - ✓ Las salidas de los biestables del registro de estado interno de los terminales de los circuitos secuenciales.
  - ✓ Componentes ocultos del circuito, que estén lejos de los terminales de entrada / salida.
  - ✓ Buses internos, etc.
- Dividir el sistema en bloques funcionales que pueden ser verificados de forma independiente.
- Minimizar las partes enterradas del sistema (en inglés "embeddeb or buried") que son aquellas a cuyas variables de entrada / salida no se puede tener acceso.

Las técnicas específicas resultan en su mayoría imposibles de aplicar en la práctica cuando todos los elementos que forman un sistema o un subsistema digital complejo se introducen en un circuito integrado de gran, muy gran, ultra gran o giga gran escala de integración, debido a la limitación del número de terminales. Esto impulsó el desarrollo de técnicas estructuradas que se analizan a continuación.

1.1.3.2.2- Técnicas estructuradas para la verificación externa.

Las técnicas estructuradas para la verificación externa son técnicas de aplicación que consisten en añadir elementos de forma sistemática para lograr un elevado grado de verificabilidad.

La evolución de las técnicas estructuradas de DFT son un ejemplo del desarrollo de una secuencia de innovaciones increméntales realizadas por los principales fabricantes de procesadores digitales [ANDO 80] [EICH 78] [FUNA 75] [STEW 77]. Dichas innovaciones fueron posibles gracias a la elevación de la capacidad de integración a partir de mediados de la década de 1970 y,

aunque un estudio detallado de las mismas se sale de los límites de este trabajo, es conveniente conocer sus fundamentos y especialmente la solución que finalmente ha sido normalizada y esta siendo utilizada por fabricantes de circuitos PLD avanzados y complejos.

En la figura 1.3 se representa el circuito básico, aplicado a los sistemas secuenciales síncronos, de una de las técnicas mas utilizadas en la década de 1980 que recibe el nombre de "Técnica del camino de exploración" (en inglés "Scan path tecnichque").

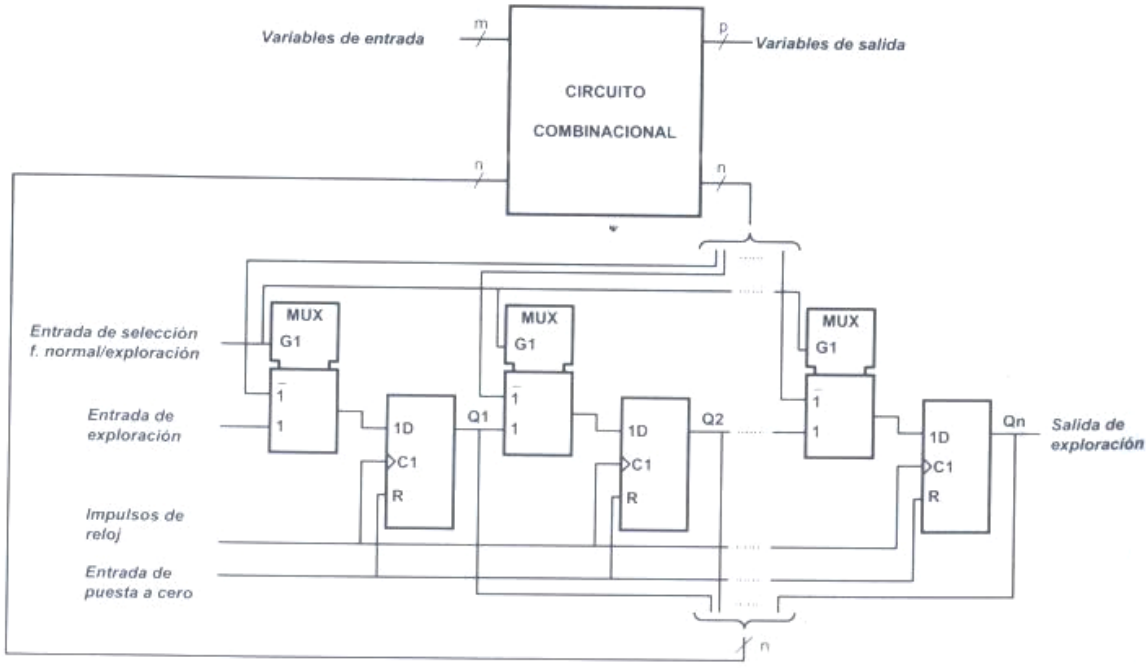


Figura 1.3-Sistema secuencial síncrono que utiliza la técnica del camino de exploración ("Scan Path Technique").

Pero la técnica del camino de exploración, al igual que otras desarrolladas en la década de 1970 [ANDO 80] [EICH 78] [FUNA 75] [STEW 77], es difícil de aplicar en los sistemas digitales complejos que contienen gran cantidad de registros repartidos espacialmente, porque hay que enlazarlos entre si para tener acceso a todos ellos. Esta dificultad hizo que en 1985 varias empresas europeas y norteamericanas llegaran a un acuerdo para desarrollar una técnica normalizada que pudiese ser aceptada por todos y ser aplicada a cualquier tipo de sistema digital tanto si esta formado por un solo circuito integrado, como por varios colocados en una placa de circuito impreso.

Para ello formaron un grupo de trabajo denominado "Joint Test Action Group"(JTAG) que desarrolló un sistema orientado a la verificación externa, que fue finalmente aceptado por el IEEE en 1990 bajo la norma IEEE 1149.1-1990 denominada también norma de exploración periférica (en inglés "Boundary Scan Standard") [IEEE 94].

La técnica de exploración periférica esta inspirada en la técnica del camino de exploración que se acaba de describir y consiste básicamente, en dotar al sistema que se desea verificar de un conjunto de celdas conectadas entre si y situadas entre los puntos de verificación adecuados del mismo y los terminales de entrada y salida (figura 1.5). Dichas celdas, que reciben el nombre de celdas de exploración periférica (en inglés "Boundary Scan Cells") por estar situadas en la periferia del sistema digital objeto de verificación, deben ser capaces de realizar las siguientes funciones:

- Si se trata de una celda de entrada debe permitir que el estado de un terminal de entrada se presente en el punto correspondiente del sistema.
- Si se trata de una celda de salida debe permitir que el estado de un nodo del sistema a verificar pueda aparecer en el terminal de salida correspondiente.
- Hacer que el estado de una celda se pueda desplazar a la celda siguiente y recibir el estado de la celda precedente. De esta forma el conjunto de celdas constituye un registro de desplazamiento.

En la figura 1.4 se representa esquema de una celda de exploración periférica que puede ser utilizada tanto con terminales de entrada como de salida.

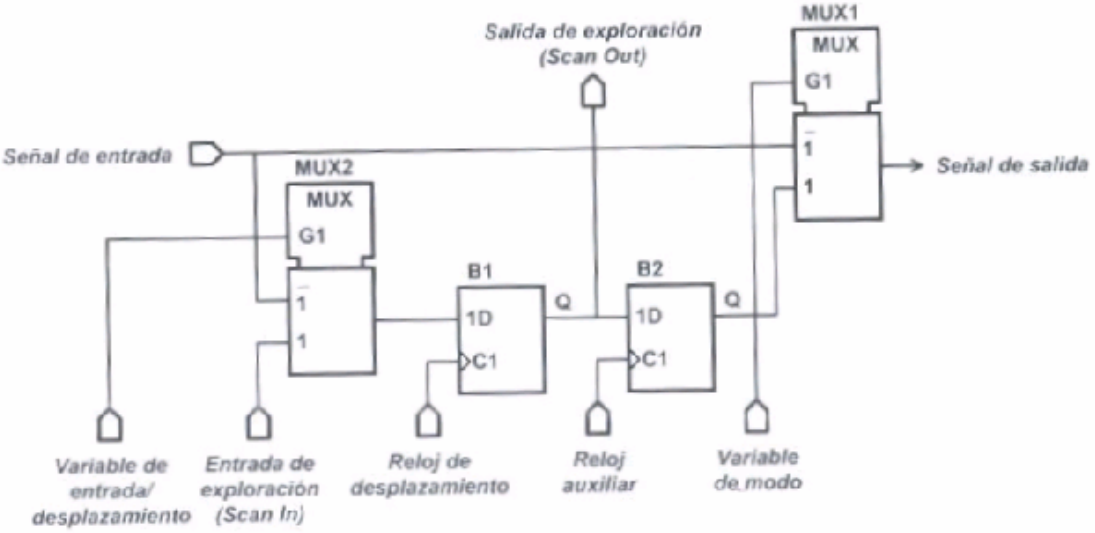


Figura 1.4 Circuito de la celda utilizada en la técnica de verificación mediante exploración periférica.

Para reducir al mínimo los terminales del circuito integrado dedicado a las funciones de verificación, la técnica de exploración periférica combina cuatro señales (y una opcional), con un circuito que constituye un procesador de verificación (figura 1.5).

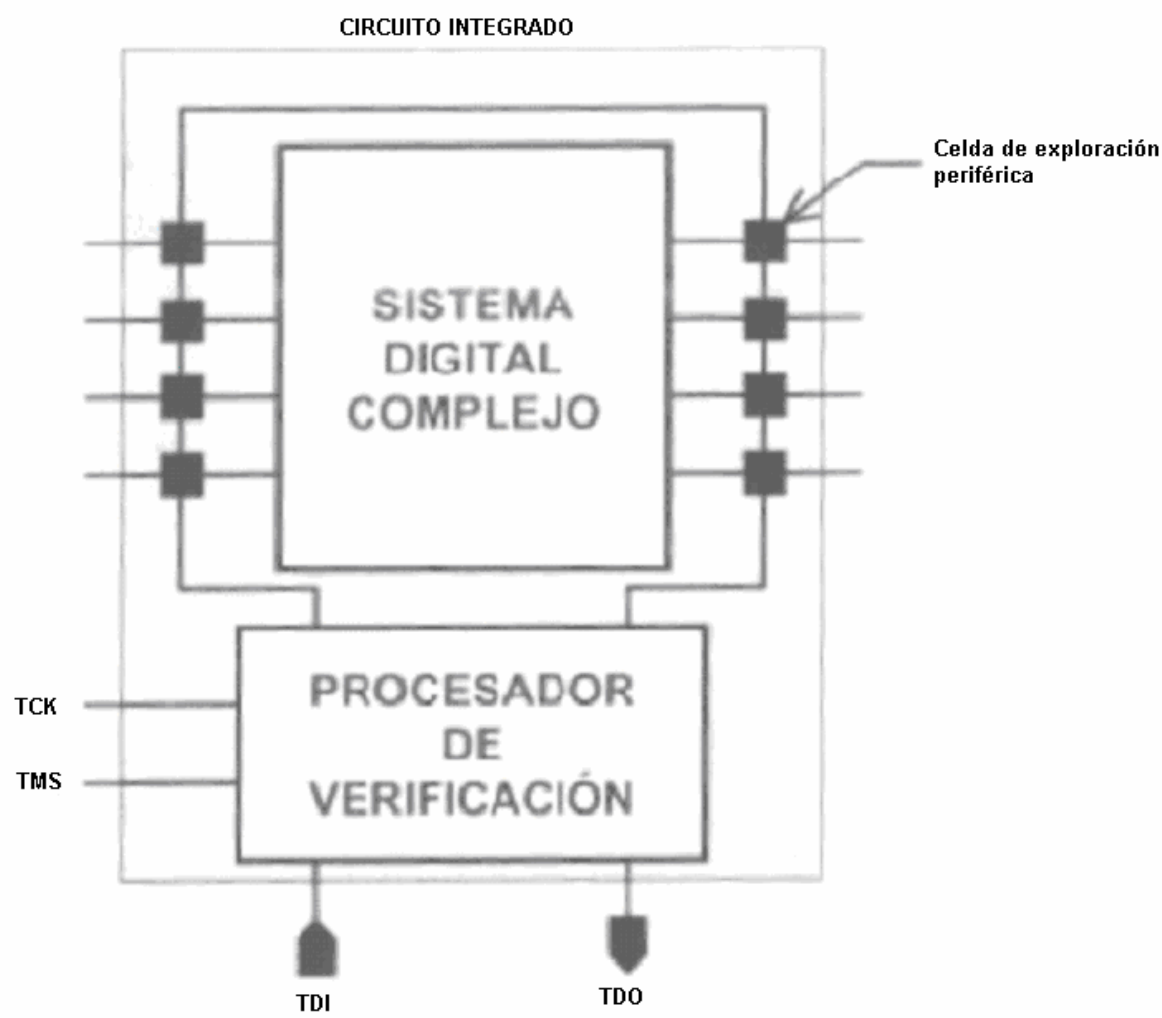


Figura 1.5 Circuito integrado que contiene recursos lógicos de verificación mediante exploración periférica (en inglés "Boudary Scan")

Las cuatro señales de verificación que forman el puerto de acceso a la verificación TAP (acrónico de las palabras inglesas "Test Access Port") son las siguientes:

- La entrada de datos de verificación TDI ("Test Data Input"), a través de la cual se introducen las instrucciones de verificación así como los vectores de estímulo y los resultados de la verificación del sistema digital precedente. Es la entrada de exploración de la primera celda de exploración periférica.
- La salida de datos de verificación TDO ("Test Data Output") a través de la cual salen los resultados de la verificación procedentes de las celdas de exploración periférica.
- La señal de reloj de verificación TCK ("Test Clock Input ").
- La entrada de selección del modo de verificación TMS ("Test Mode Select") que le indica al procesador de verificación el modo en que debe funcionar. El estado cero corresponde al modo

de verificación y el uno al funcionamiento normal y si el estado uno se mantiene durante al menos cinco impulsos de reloj se reinicializa el procesador de verificación.

El procesador de verificación ha de tener como mínimo los siguientes elementos representados en la figura 1.6:

- El controlador de verificación ("TAP Controler") que es un sistema secuencial síncrono que recibe las señales TCK y TMS y genera las distintas señales de control de los restantes elementos.
- El registro de instrucción ("Instruction Register") que recibe la información de la forma de llevar a cabo la verificación a través de la entrada de datos de verificación TDI.
- El registro de anulación de la verificación ("Bypass Register") que permite enviar los datos de verificación desde TDI hasta TDO sin necesidad de que pasen a través del registro de exploración periférica ("Boundary Scan register").
- Los multiplexores MUX1 y MUX2 que permiten seleccionar cual es el registro cuya información se presenta en la salida de datos de verificación TDO.

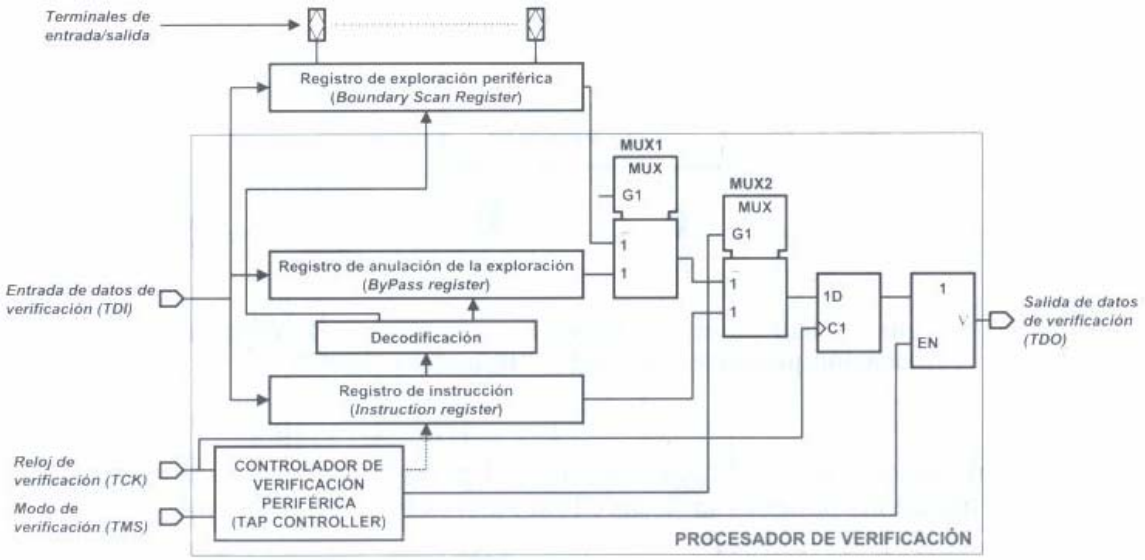


Figura 1.6 Diagrama de bloques del procesador de verificación mediante exploración periférica ("Boundary Scan").

El procesador de verificación introduce el estado de los terminales de entrada / salida (vector de prueba) en el registro de exploración periférica durante la fase de exploración. A continuación puede volver al estado de funcionamiento normal y posteriormente leer el estado de las variables de salida.

Un estudio detallado de la técnica de exploración periférica se sale de los límites de este trabajo y por ello el lector interesado se le remite a la bibliografía [PARK 98] [TEXA 96] [WOND 99].

La dificultad que presentan los circuitos PLD avanzados y complejos para realizar y comprobar la configuración ha hecho que diversos fabricantes utilicen la técnica de exploración periférica que se acaba de describir para llevarlas a cabo. Ejemplo de ello es la familia 9500 de Xilinx, la ispLSI1000 de Lattice y la MAX7000 de Altera.

1.1.4-Implementación del sistema.

Con el aumento de la complejidad de los circuitos digitales se han independizado los procesos de diseño y la fabricación de los mismos. Debido a que la independización de estos tiene una gran ventaja, ya que permite al diseñador probar varias implementaciones, ya bien mediante circuitos integrados de aplicación específicas (ASICs) como configurables (PLDs, CPLDs, FGPAs, etc.), así como pasar de una a otra.

Por otra parte en el caso de circuitos digitales configurables estos presentan el inconveniente de no optimizar los recursos del circuito elegido finalmente, debido a que el mismo no esta definido en el momento de realizar la descripción y las herramientas de CAD no consiguen, en general, optimizar por si solas la forma de realizar el sistema digital.

1.1.4.1- Introducción a los circuitos digitales configurables.

Debido al gran avance de la microelectrónica a finales de los años 70 comienza a haber un aumento en la complejidad de los circuitos, dando lugar a la muy alta escala de integración (VLSI).

Entre los primeros sistemas digitales que aparecen se encuentran los circuitos combinacionales programables incompletos en sus dos versiones: PLA y PAL (matrices lógicas programables). Ambos son incompletos porque en la matriz de los productos no están representadas todas las combinaciones posibles de las entradas, a diferencia de las memorias donde si se puede realizar cualquier función de suma de productos, por lo que son denominados circuitos programables completos.

La diferencia fundamental entre el PLA y el PAL radica en que en el primero es programable la matriz de los productos (Y) y la de las sumas de productos (O), mientras que en el segundo solamente es programable la matriz Y.

Además de estos también surgen los circuitos integrados semimedida donde se utilizan células predefinidas interconectadas en el proceso de fabricación, dichas células pueden ser: básicas o células estándar. Las primeras son conjuntos de compuertas universales cuyas conexiones se programan para realizar determinada función y las segundas son un conjunto de compuertas

complejas que ya realizan una función y que también se interconectan según se requiera.

Estos circuitos no pudieron satisfacer muchas de las aplicaciones ya que algunos resultaban muy caros y otros no cumplían los requerimientos en cuanto a velocidad y modularidad. Entonces surgió la necesidad de desarrollar circuitos cuyo hardware pudiera ser modificado mediante el estado de variables binarias, estos son los llamados circuitos digitales configurables. (CDC).

1.1.4.2- Definición, clasificación y características de los CDC.

Los sistemas electrónicos configurables son aquellos cuya función puede ser modificada utilizando solamente una parte de los elementos que los componen o cambiando la interconexión entre ellos. La modificación se lleva a cabo mediante la programación del estado de un conjunto de variables binarias independientes o asociadas entre si formando una estructura de memoria. Para hacer posible esta modificación es necesario distribuir espacialmente los recursos lógicos divididos en bloques y además distribuir los recursos de interconexión entre dichos bloques.

A la concentración de recursos lógicos se le llama granularidad, esta es elevada si el circuito posee un gran número de bloques lógicos de reducida complejidad y es baja en el caso contrario. Por ejemplo una granularidad alta debe disponer de recursos de interconexión complejos pero ofrece una gran flexibilidad al sistema. Las principales diferencias entre los fabricantes radican en las diferentes formas de distribución de los recursos lógicos.

Las arquitecturas de los CDC pueden ser clasificadas en tres grandes grupos:

- Arquitectura matricial (PLDs, CPLDs)
- Arquitectura de terraza o fila (FPGAs)
- Arquitectura en cuadrícula (FPGAs).

La arquitectura matricial procede de las matrices lógicas programables y está constituida por una matriz que interconecta los bloques de recursos lógicos como muestra la figura 1.7. Los dispositivos con esta arquitectura son denominados dispositivos lógicos programables (PLDs).

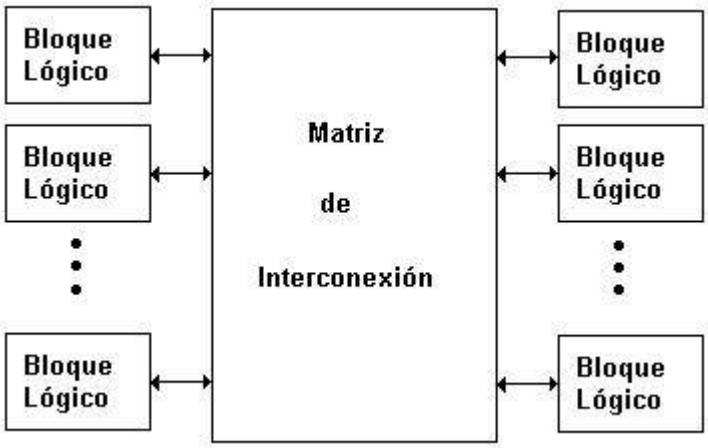


Figura 1.7. Arquitectura matricial.

La arquitectura de terraza (figura 1.8) procede de los circuitos semimedida y está constituida por recursos lógicos y de interconexión, intercalados formando filas. A los dispositivos con esta arquitectura se les denomina conjuntos configurables de compuertas (FPGAs).

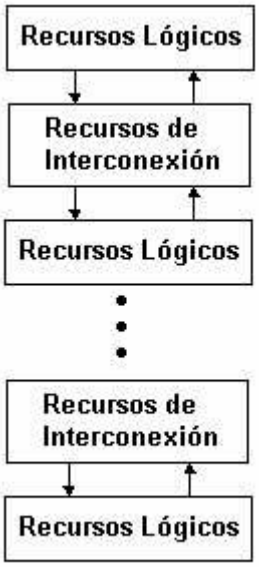


Figura 1.8. Arquitectura de terraza.

La arquitectura en cuadrícula también procede de los circuitos semimedida pero los bloques están dispuestos cuadriculadamente y los recursos de interconexión de manera horizontal y vertical como se muestra en la figura 1.9. Los dispositivos con esta arquitectura también se denominan FPGAs.

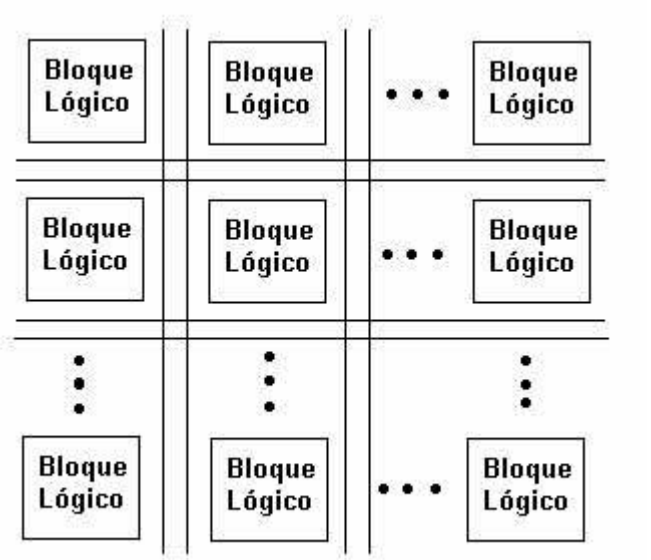


Figura 1.8. Arquitectura en cuadrícula.

Estos circuitos digitales pueden configurarse en un equipo de programación específico o en el propio sistema en el que realizan su función. Los que son configurados por un equipo específico pueden ser programados una o varias veces, de ellos los que son programados una vez se basan en el uso de antifusibles y los otros en transistores MOS de compuerta flotante borrables con rayos ultravioletas. Los circuitos configurados por el propio sistema son programados múltiples veces y se basan en células de memoria asociadas en forma de SRAM (memorias estáticas de acceso aleatorio) o en transistores MOS de compuerta flotante borrables eléctricamente.

Algunas de las características generales de estos circuitos son:

- Disponibilidad: son circuitos estándar en el mismo sentido que sus predecesores, o sea, pueden ser adquiridos inmediatamente.
- Configurabilidad: su función es programable, no fija como en los anteriores.
- Implementación instantánea: el tiempo de configuración es reducido, esto reduce el costo del proyecto ya que no hay que esperar a la fabricación del circuito como en el caso de los circuitos a la medida.
- Reconfiguración del sistema: algunos de ellos pueden ser programados o reprogramados sin ser desconectados del sistema en el que realizan su función, para esto es necesario que sean de tecnología EEPROM (borrables eléctricamente) o tecnología SRAM.

- Alta capacidad de integración: el número de compuertas en ellos va desde unos cientos en los PLDs básicos hasta un millón en los FPGAs, lo que permite encontrar un circuito adecuado a cada aplicación.
- Bajo costo: aunque son más caros que los circuitos estándar de lógica discreta anteriores, reemplazan a un número elevado de ellos, presentando muchas otras ventajas. En aplicaciones complejas los FPGAs resultan más baratos que los circuitos semimedida siempre que la producción no supere los 15000 circuitos aproximadamente.

1.1.4.3- Análisis comparativo.

Hablar de las características de estos circuitos es muy difícil si no se hace a modo de comparación ya que muchas de sus ventajas no son en términos absolutos. A continuación se analizarán las características de los CDC, circuitos semimedida y circuitos estándar de lógica discreta.

1.1.4.3.1- Comparación entre los CDC, los circuitos semimedida y los circuitos estándar de lógica discreta.

Los circuitos digitales configurables son una opción a considerar si el diseño y la producción cumplen los siguientes requisitos:

- Complejidad de circuito moderada: el número de compuertas debe oscilar entre las 5000 y las 10000. Aunque los FPGAs llegan hasta el millón de compuertas, su costo unitario es muy elevado debido a que utilizan una tecnología más avanzada y las herramientas para el diseño e implementación no son adecuadas para sistemas tan complejos. No obstante este límite no es del todo estricto, ya que al generalizarse el uso de estos circuitos y superarse la tecnología el costo se abarata.
- Producción reducida: Si la complejidad del circuito es pequeña o media y es suficiente utilizar PLDs, esta será siempre la mejor solución independientemente del número de unidades que se fabriquen pues sustituyen varios circuitos estándar de lógica discreta. Ahora si la complejidad del circuito es grande y es considerable la alternativa de circuitos semimedida, el factor a tomar en cuenta es el volumen de producción. Hasta las 15000 unidades el uso de FPGAs resulta más barato, mientras que en producciones mayores los circuitos semimedida resultan más baratos. Al igual que en el otro caso este límite fluctúa según el costo actual del circuito.

En el caso de una complejidad muy elevada en el sistema y un número de unidades a producir también elevado, las opciones serán únicamente circuitos semimedida ó totalmente a la medida (ASIC). Estos últimos tienen un costo de diseño muy alto que solo se amortiza con grandes volúmenes de producción.

1.1.4.3.2- Comparación ASIC/FPGA.

Realizando una comparación entre los circuitos integrados de aplicación específica (ASIC) y los FPGAs se puede decir que la diferencia fundamental reside en el nivel de personalización de la aplicación. Mientras que en la solución ASIC el diseñador interacciona con diferentes etapas del proceso tecnológico (place & routing, clock skew, fan out, cell sizing, etc.), en la solución con FPGAs solo se configura el sistema, o sea, se asignan valores a las funciones lógicas, las interconexiones activas entre dispositivos y a la funcionalidad de las celdas de entrada/salida del circuito integrado. Esto trae como consecuencia que el proceso de concepción lo realiza el diseñador evitando la espera debido a los procesos en la fábrica (Silicon Foundry). Una segunda consecuencia es que cualquier rediseño requerido se realiza rápidamente evitando también la interacción con el fabricante. Hay que decir que las prestaciones de los dispositivos reconfigurables son menores que las correspondientes a los dispositivos ASIC equivalentes en superficie de silicio y tecnología utilizada, este es un precio que hay que pagar para obtener un sistema flexible en términos de funcionalidad (número de transistores por compuerta) ó conectividad (número de elementos de interconexión entre dos nodos del circuito).

Otro argumento que justifica el auge de las FPGAs es la sencillez de sus herramientas respecto a las que se emplean en la concepción ASIC. La diferencia fundamental entre ellas es la flexibilidad, mientras que para ASIC suelen ser genéricas e independientes de la tecnología, para FPGA están restringidas a cada fabricante e incluso separadas en función de familias de dispositivos, lo que simplifica la cantidad de componentes de dichas herramientas. Por otro lado existe una marcada diferencia en cuanto a costo en la implementación y viene dada por el costo de la ingeniería no redundante, el cual se debe a la interacción con el fabricante del dispositivo específico.

1.1.4.3.3- Redes de compuertas cableadas.

Actualmente existe una opción intermedia entre la utilización de FPGAs y circuitos semimedida, son las llamadas redes de compuertas cableadas. Estas tienen la misma arquitectura que las FPGAs de tecnología SRAM, pero no presentan circuitos de memorización de la configuración. Dicha configuración se realiza mediante máscaras, quedando fijada su función una vez terminado el proceso, de esta forma se realizan prototipos de sistemas e incluso se puede comenzar su producción utilizando FPGAs de tecnología SRAM para, si el producto tiene éxito y se debe fabricar en grandes cantidades, utilizar redes de compuertas cableadas. Estas últimas poseen un costo menor porque utilizan menor área de silicio al no presentar circuitos de configuración.

1.2-Lenguajes de descripción de sistemas digitales.

1.2.1-Introducción, clasificación general.

Existen múltiples formas de describir los sistemas digitales complejos, pero no se debe perder de vista que todas ellas tienen como objetivo facilitar su implementación y la comprobación de su funcionamiento mediante herramientas de diseño asistido por computador (CAD).

Durante la década de 1970 se desarrollaron lenguajes que permitieran realizar la descripción estructural, funcional y física de los sistemas digitales complejos. Dichos lenguajes recibieron el nombre de HDL (Hardware Description Language), y evolucionaron siguiendo dos caminos paralelos:

- Se desarrollaron lenguajes HDL sencillos que pueden denominarse no estructurados porque están orientados a la realización de un único circuito o módulo por fichero.
- Los fabricantes de circuitos digitales a medida desarrollaron lenguajes HDL complejos, que pueden llamarse estructurados porque permiten definir submódulos y enlazarlos jerárquicamente en un único fichero.

1.2.2-Lenguajes HDL no estructurados.

La descripción de los sistemas digitales complejos mediante cualquier lenguaje HDL no estructurado se realiza en un fichero que posee una organización idéntica a la que se describe a continuación:

- Una cabecera en la que se indican algunas características generales tales como el nombre del circuito o módulo que se describe.
- Una sesión de definiciones que incluye la lista de terminales del circuito con indicación del tipo (combinacional, memorizado, etc.). Además, puede incluir la denominación del PLD en el que se van a implementar los sistemas, así como la definición de constantes, vectores y macroinstrucciones.
- La descripción lógica del sistema en alguna de las formas permitidas por el lenguaje concreto (ecuaciones lógicas, tablas de verdad, grafos de estados en forma de texto, etc.).
- Los vectores de prueba que constituyen los estímulos que se van a utilizar para comprobar el funcionamiento del PLD una vez configurado así como los valores que deben proporcionar las variable de salida para cada uno de ellos.
- Fin del fichero.

1.2.3-Lenguajes HDL estructurados.

Los leguajes estructurados de descripción de sistemas digitales, además de poseer las características de los HDL no estructurados, permiten llevar a cabo, la descripción estructural jerárquica de los sistemas digitales complejos en un único fichero.

Los lenguajes HDL estructurados se caracterizan por poseer:

- Capacidad multinivel para poder definir un amplio rango de niveles de jerarquía.
- Capacidad para combinar la descripción estructural y la de comportamiento.
- Un conjunto de instrucciones que definen la sintaxis independiente del nivel de descripción.
- Independencia tecnológica que permite diseñar circuitos cuya descripción no depende de la forma de realización física posterior.
- Universalidad, es decir, compatibilidad con un gran número de herramientas CAD.
- Facilidad de compresión y lectura que significa la documentación.

1.3- Diagramas de flujos de diseño de firmas productoras de sistemas digitales complejos.

Las firmas de mayor impacto en el campo de los sistemas digitales (Altera, Xilinx, entre otras) son de gran importancia para el desarrollo de este trabajo, lo que nos lleva a hacernos la siguiente pregunta, ¿Cómo describen el flujo del proceso de diseño las firmas de mayores niveles de producción de circuitos digitales complejos en el mundo?

1.3.1-Descripción del flujo de diseño de las firmas Xilinx y Altera.

1.3.1.1 Descripción del flujo de diseño de Xilinx.

En el caso de Xilinx se plantea que un flujo de diseño estándar comprende los siguientes pasos:

- **Entrada y síntesis del diseño:** En este paso del flujo de diseño, usted crea su diseño usando un editor esquemático soportado por Xilinx, un lenguaje de descripción de hardware (HDL) para la entrada basada en texto, o ambos. Si usted usa un HDL para la entrada basada en texto, usted debe sintetizar los archivos HDL en un archivo EDIF o XNF, o si usted está usando el GUI (Graphic Unit Interface) de la Tecnología de Síntesis de Xilinx (XST), en un archivo de NGC.
- **Aplicaciones de diseño:** Ejecutando una arquitectura específica de Xilinx, usted convierte el formato del archivo del diseño lógico, tal como el EDIF, que usted creó en la etapa de la entrada o de la síntesis del diseño en un formato físico del archivo. La información física se contiene en el archivo nativo de la descripción del circuito (NCD) para FPGAs y el archivo VM6 para CPLDs.

Entonces usted crea un archivo de cadena de bits de estos archivos y programa opcionalmente una PROM o una EPROM para la programación subsecuente de su dispositivo de Xilinx.

- **Verificación del diseño:** Usando un simulador del nivel de puerta o un cable (para la verificación del circuito), usted se asegura de que su diseño resuelve sus requisitos y funciones de sincronización correctamente.

La figura siguiente muestra el flujo del diseño de Xilinx:

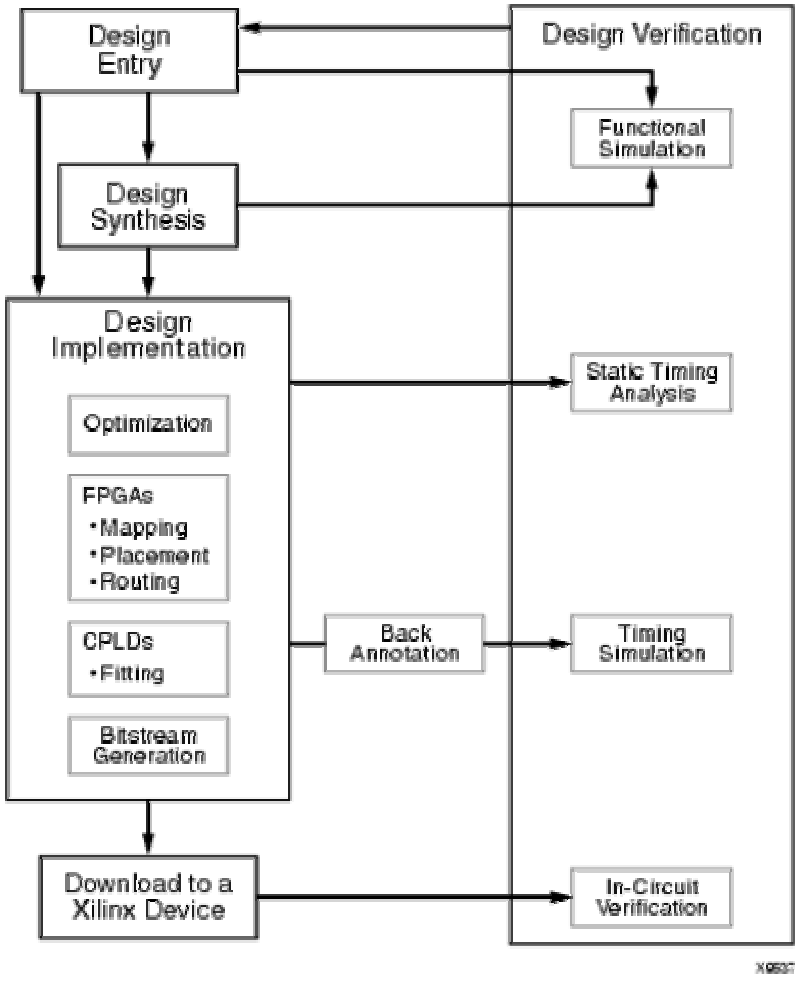


Figura 1.10-Descripción del Flujo de diseño de Xilinx.

El flujo completo del diseño es un proceso iterativo de incorporar, de sintetizar, y de verificar el diseño en ejecución hasta que es correcto y completo. El sistema de desarrollo de Xilinx permite iteraciones rápidas del diseño durante el ciclo de flujo del mismo. Porque los dispositivos de Xilinx permiten la reprogramación ilimitada, usted no necesita desechar los dispositivos al eliminar errores de su diseño en circuitos.

La figura siguiente muestra el diagrama del software de Xilinx para los diseños de FPGA:

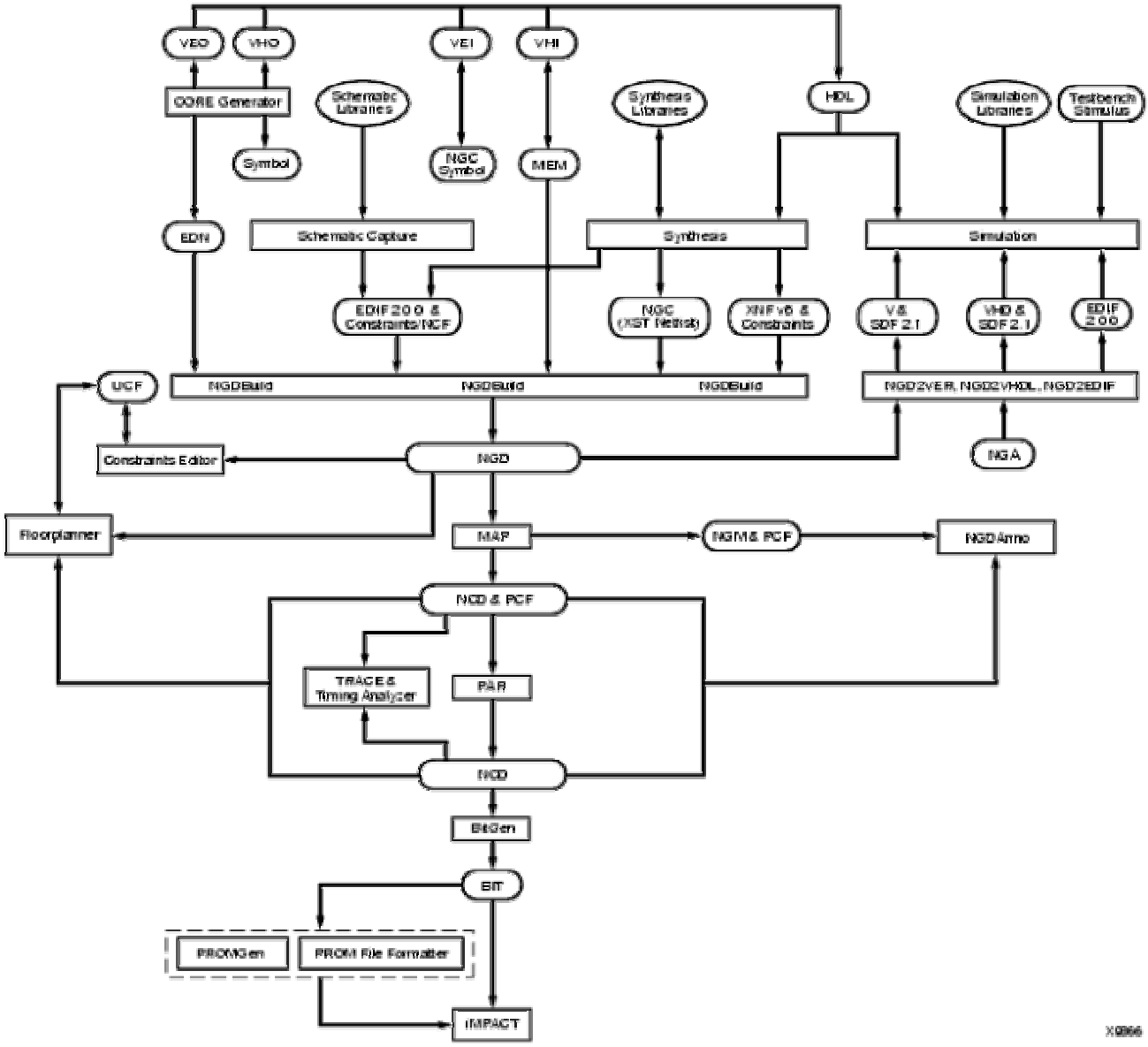


Figura 1.11 Flujo del diseño del Software de Xilinx (FPGAs).

La figura siguiente muestra el diagrama del software de Xilinx para los diseños de CPLD:

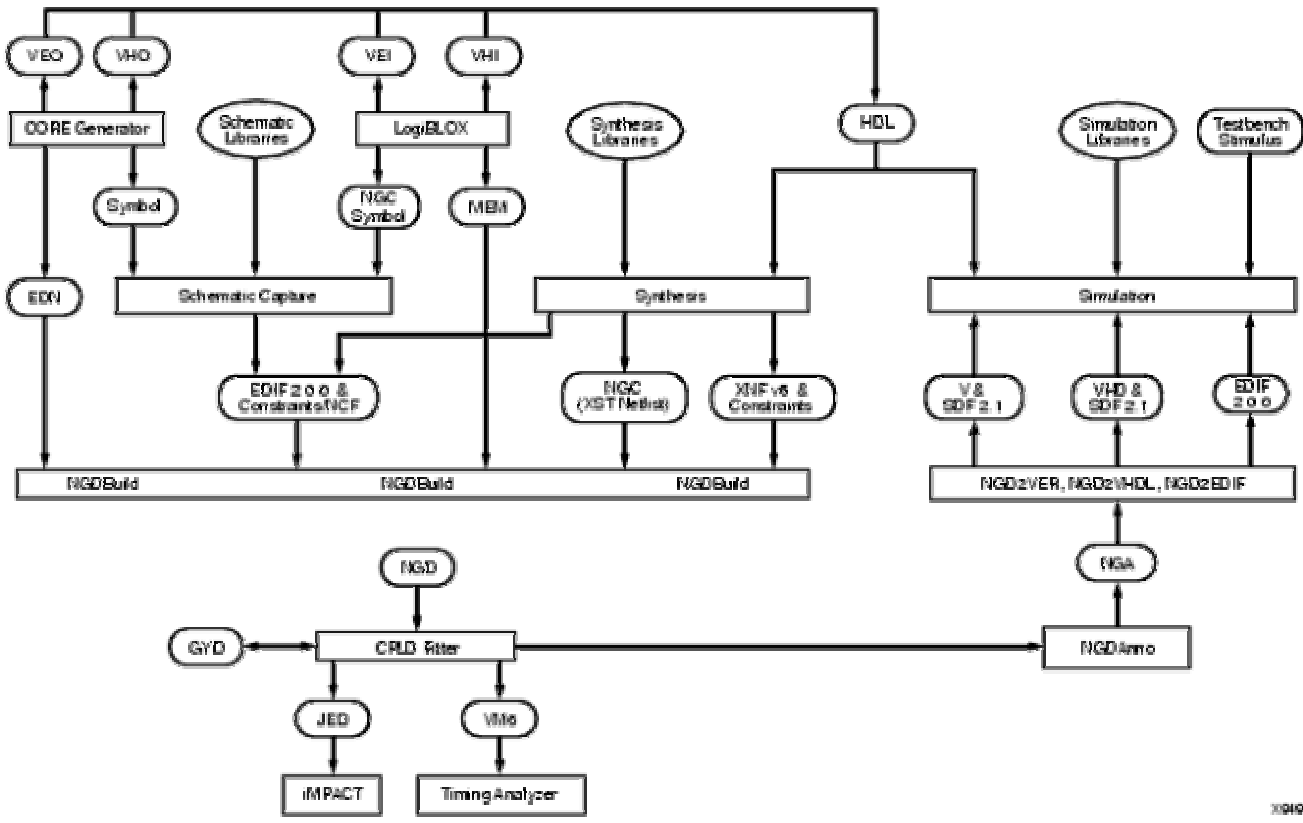


Figura 1.12 Flujo del diseño del Software de Xilinx (CPLDs).

1.3.1.2 Descripción del flujo de diseño de Altera.

La firma Altera tiene un diagrama de flujo diseño general, el cual consta de cuatro etapas (Design Entry, Project Processing, Device Programming y Project Simulation), que se muestra a continuación. Luego cada una de estas etapas se subdivide en procesos o subproblemas, para llegar a subsoluciones que en su conjunto forman la solución total.

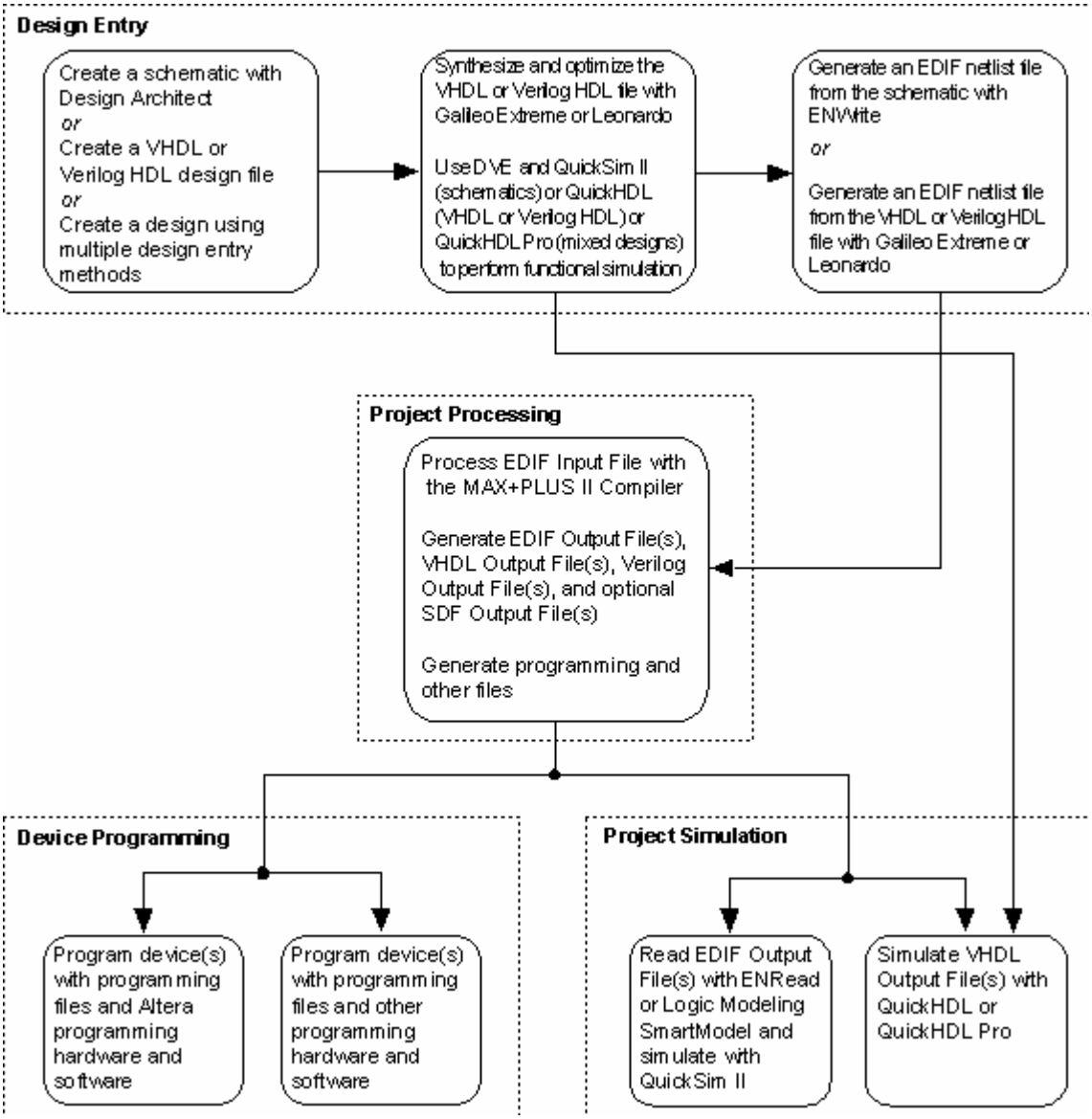


Figura 1.13- Descripción del flujo de diseño de Altera.

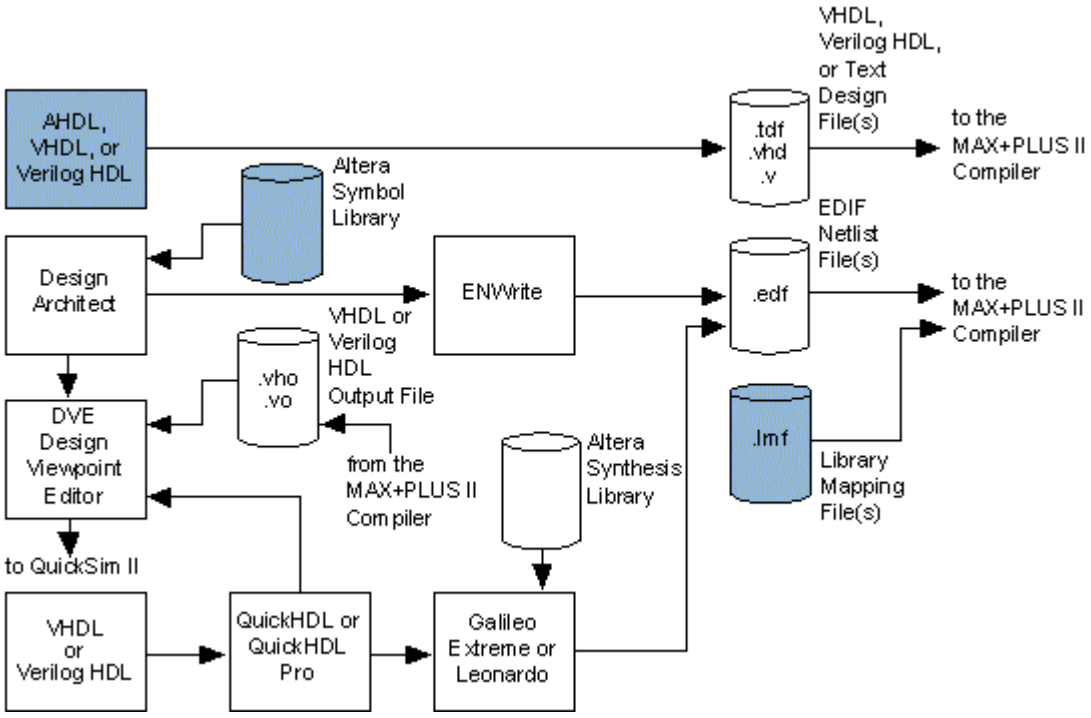


Figura 1.14- Flujo de la entrada del diseño.

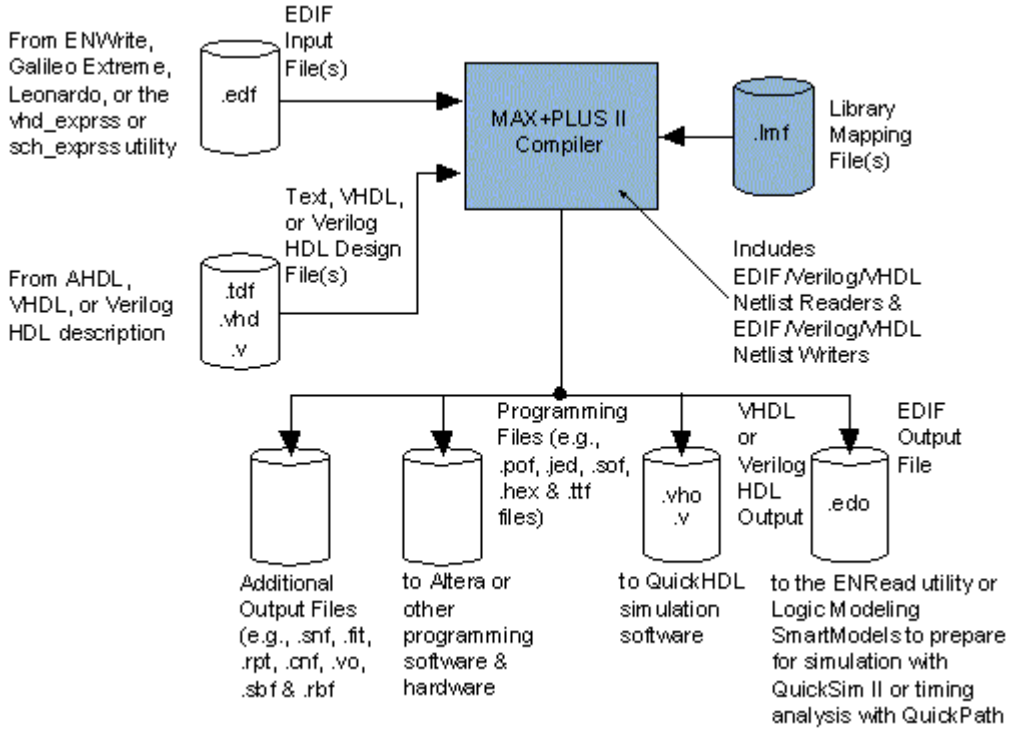


Figura 1.15- Flujo de compilación del diseño.

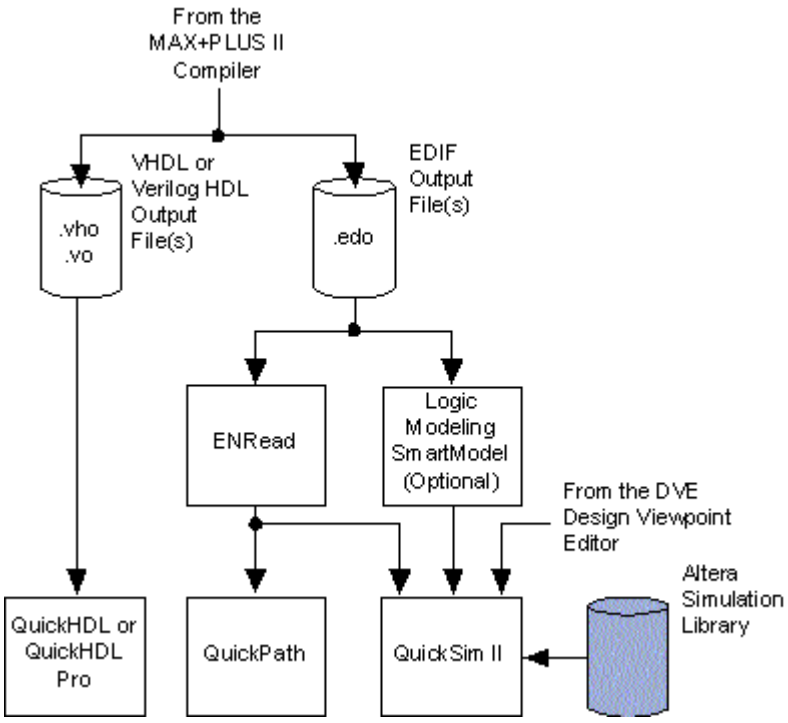


Figura 1.16- Flujo de simulación del diseño.

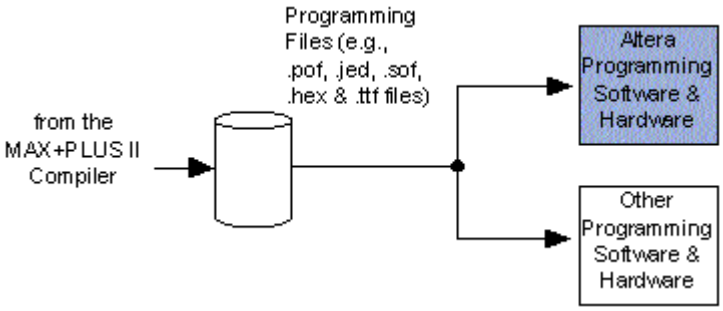


Figura 1.17- Flujo de programación del diseño.

1.4 Análisis Histórico de las estrategias de diseño de los sistemas digitales.

Las siguientes figuras resumen la evolución histórica que ha ocurrido en los procesos y metodologías de diseño de los sistemas digitales:

- **Años 70**
  - Tecnología bipolar (circuitos analógicos) y MOS (NMOS para circuitos digitales)
  - Diseños manuales sin herramientas CAD. Simulación con SPICE
  - 1ª DRAM de 1K (1970) y procesador 4040 de 4 bits (1971) de INTEL con tecnología PMOS
  - A finales de los 70:
    - DRAM de 16 K
    - 8086 de 16 bits con tecnología NMOS
    - Nacimiento de los miniordenadores
  - Fases de diseño y fabricación se realizaban en las fábricas

- **Años 80**
  - Procesos tecnológicos cada vez más complejos (mayores densidades de integración)
  - Separación entre proceso de diseño y de fabricación
  - Se empiezan a desarrollar las metodologías y herramientas CAD
  - Tecnologías aplicadas:
    - BIPOLAR para circuitos analógicos
    - CMOS se impone a la NMOS para el diseño de circuitos digitales
    - BICMOS a finales de los 80. Desarrollo de circuitos híbridos
  - Desarrollo de los ASIC (Application Specific Integrated Circuit).
  - Alternativas de diseño: Full-custom, semicustom (gate-arrays, estándar cells) y lógica programable (PLD, CPLD, FPGA)

- **Años 90**
  - Consolidación de los niveles físico y arquitectural
  - Los dispositivos programables crecen en importancia frente a los ASICs
  - Con el nacimiento del lenguaje VHDL (1987) comienza el diseño a nivel funcional o de comportamiento
  - Tecnologías:
    - CMOS (75% del mercado)
    - BIPOLAR/ECL (15%)
    - BICMOS (5%)
    - NMOS y AsGa (5%)
  - Desarrollo de los MCM (Multichip Modules)
  - Desarrollo de microsistemas (microelectrónica+sensores+actuadores)
  - Avances de diseños mixtos (A/D/P) que incluyen dispositivos de potencia
  - Implantación de sistemas complejos en un chip -> *cuello de botella*: carencia de métodos y herramientas para abordar diseños de tal complejidad.
- Metodologías de diseño descendente (top-down).
- Implantación de lenguajes de descripción hardware (Verilog y VHDL) y herramientas de simulación y síntesis.
- Automatización del diseño de sistemas complejos con hardware y software (Hw/Sw/Co-design).
- Herramientas EDA (Electronic Desing Automation) y CASE (Computer Aided Software Engneering) fundamentales en el desarrollo del diseño electrónico
- Incremento de diseños mixtos. Simuladores, extensión del lenguaje VHDL-AMS (VHDL-Analog Mixed Signal).
- Modificación de las técnicas de síntesis. En tecnología submicrónica (0.3 micras) el 20% es debido a retardo de puertas y el 80% al interconexionado. Importancia del diseño físico (Floorplaning).
- Plataformas para el desarrollo electrónico: Nuevos procesadores (Pentium, Power-PC, etc), estándares informáticos (windows, NT, redes, etc), multimedia e Internet.

1.5 Conclusiones parciales.

Podemos concluir que las estrategias de diseño de los sistemas digitales actuales están orientadas a satisfacer los requerimientos del circuito y/o aplicación, los cuales pueden resumirse en:

1. Rendimiento (velocidad, consumo, funcionalidad, flexibilidad).
2. Tamaño.
3. Protección contra copias ilegales.

4. Tiempo de diseño y costo (time-to-market).
5. Volumen de producción.
6. Facilidades de Test.
7. Tecnología utilizada (Full Custom, Semi Custom)

En función de estos parámetros quedan determinados los diferentes estilos descriptivos y las metodologías de diseño (top-down, bottom-up), así como las diversas herramientas de diseño y verificación.

La metodología de diseño puede resumirse en la siguiente gráfica:

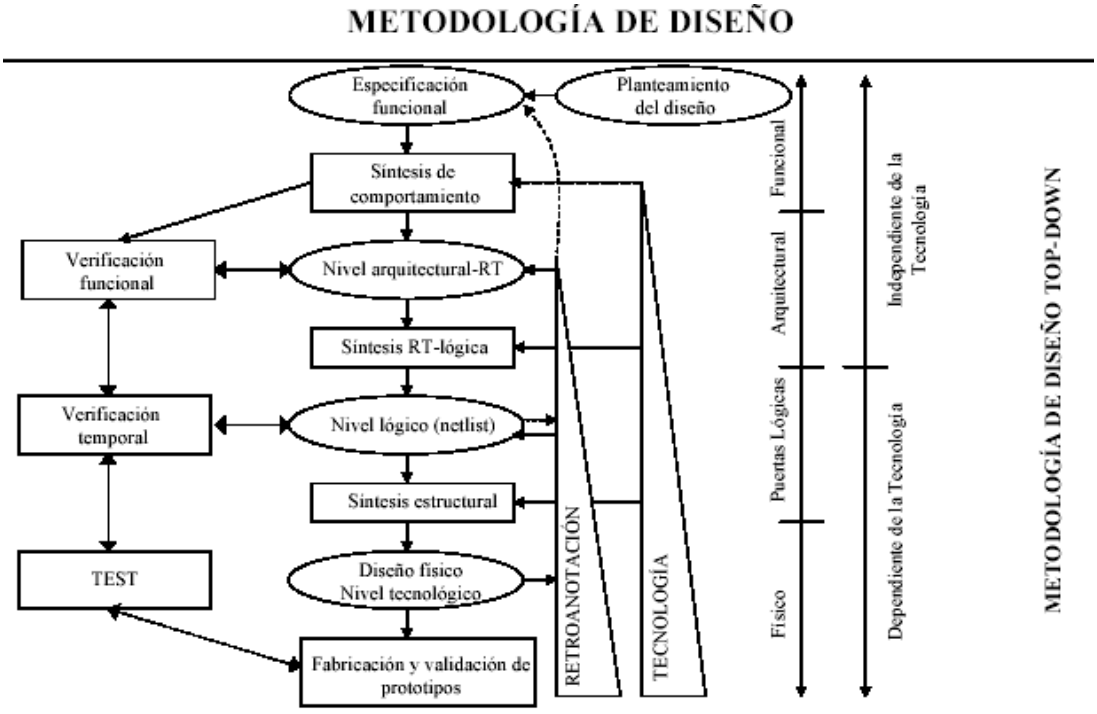


Figura 1.18- Metodología de diseño.

CAPITULO 2: Caracterización del estado del arte en la enseñanza del diseño de sistemas digitales. Estrategias desarrolladas en nuestro centro.

2.1 Introducción

Una vez analizado el estado del arte del diseño digital moderno, a partir de las estrategias que definen las principales firmas comerciales y las sistematizaciones que se presentan en la literatura moderna acerca de esta temática, se puede afirmar que el desarrollo actual de la Electrónica Digital, y en particular en la etapa de especificación del diseño, precisa de un cambio en los métodos y medios de enseñanza de la misma para lograr el desarrollo de habilidades que se correspondan con las nuevas formas de trabajo de esta rama de la Electrónica y las necesidades de los futuros profesionales que requiere el país.

En el caso particular de nuestras universidades donde se imparte la Electrónica Digital, se cuenta con los resultados del Proyecto MES "Generalización de experiencias en la enseñanza de la Electrónica" dirigido por el Dr. José A. Chaljub Duarte y en el cual participaron: Universidad de Pinar del Río, Centro Universitario "José Antonio Echeverría", Universidad Central "Marta Abreu" de Las Villas, Universidad de Camaguey y Universidad de Oriente.

El objetivo de este capítulo es contar con una valoración de los programas de las asignaturas Electrónica Digital I y II que se imparten actualmente en nuestro centro, en lo relacionado a los métodos y medios aplicados al desarrollo de habilidades en el proceso de diseño.

Además, con el objetivo de confrontar estos resultados con un grupo de universidades foráneas de relevancia, se analizarán los aspectos más importantes de los programas de las asignaturas relacionadas con la Electrónica Digital para el pregrado.

2.2 Principales valoraciones acerca de la enseñanza de la Electrónica Digital en las universidades cubanas.

La Electrónica Digital, en las universidades cubanas se imparte en dos asignaturas: Electrónica Digital I y Electrónica Digital II, formando parte de la Disciplina Electrónica (dentro de la Carrera de Telecomunicaciones y Electrónica), la cual incluye las siguientes asignaturas:

1. Electrónica Analógica I.
2. Electrónica Analógica II.
3. Electrónica Analógica III.
4. Electrónica Digital I.
5. Electrónica Digital II.
6. Mediciones Electrónicas.

7. Microprocesadores I.
8. Microprocesadores II.
9. Sistemas con Microprocesadores.

Durante los años 2002 al 2004 se realizó el proyecto MES "Generalización de experiencias en la enseñanza de la Electrónica", que tenía como objetivos fundamentales fomentar el intercambio entre los diferentes colectivos de profesores que imparten las asignaturas de esta disciplina, así como aportar y/o aplicar las mejores experiencias de cada centro.

Al finalizar este proyecto se aplicó una encuesta (ver Anexo 1) cuyos resultados acerca de la impartición actual y futura de esta disciplina son de trascendencia, como es lógico, para las asignaturas de Electrónica Digital. Los más importantes, para los fines del presente trabajo son:

1. Se considera adecuado, el modelo de enseñanza sincrónico, con grupos que desarrollan parte de su actividad docente en espacios virtuales y las restantes, las que inevitablemente requieren de la presencia física de los estudiantes, en instalaciones del CES correspondiente.
2. Los métodos de enseñanza aplicados en el curso para trabajadores y en el curso diurno, tienden a converger. Se aplican metodologías que activan el protagonismo del alumno: en la búsqueda y clasificación de información, en el estudio de alternativas de solución a problemas y que estimulan a trabajar de manera cooperativa con otros.
3. Se consideran apropiados, tanto para el curso diurno, como para el de trabajadores, los siguientes medios: correo electrónico y plataformas para sitios Web.
4. La transformación del laboratorio de Electrónica se basa en: utilizar instrumentos virtuales, en máquinas con acceso a Internet, para desarrollar prácticas simuladas y reales, presenciales.
5. La aplicación de las TIC en la enseñanza de la Electrónica, requiere de la cooperación y el esfuerzo conjunto de todos los CES.
6. El simulador ORCAD en su versión 9, o posterior, es adecuado para las necesidades de la Electrónica.
7. Se admite como alternativa, para garantizar el alcance masivo de la bibliografía más actualizada y representativa, utilizar varios libros, todos con copias en formato electrónico y al alcance de los estudiantes, añadiendo materiales complementarios con recomendaciones específicas para el estudio de cada tema, de acuerdo al enfoque de cada libro.
8. Se destaca la necesidad de utilizar bibliografía complementaria, tomada de sitios Web de Internet.

9. Se considera conveniente que al alcance de los estudiantes estén textos escritos en formato electrónico, apoyados con videos, con ejercicios resueltos, en los que se ilustran los métodos fundamentales para enfrentar problemas típicos de los diferentes temas abordados.

10. Se deben realizar prácticas de laboratorio con objetivos dirigidos a desarrollar la capacidad de interpretar fenómenos, de distinguir regularidades, etc. y también otras con el objetivo de llevar a la práctica metodologías para el diseño de circuitos típicos.

11. La conferencia magistral comienza a ser un acto menos frecuente, dando paso a sesiones cortas donde el profesor orienta, demuestra, e ilustra con acciones, las vías por las que tendrán que transitar los estudiantes para construir sus conocimientos. El video puede utilizarse como soporte para cumplir esta función en aulas virtuales.

12. La interacción directa con el objeto de estudio, entre estudiantes y el profesor, es el acto de mayor importancia que se puede potenciar mediante el uso adecuado de las TIC. Téngase en cuenta que, mediante la comunicación, el estudiante puede alcanzar información relativa a experiencias de otros, las que puede entonces combinar con las propias para reelaborar los modelos que utiliza como reflejo del objeto de estudio.

13. Las instalaciones del CES correspondiente, son las apropiadas para desarrollar las actividades docentes de carácter presencial.

La siguiente tabla muestra el grado de aplicabilidad de los anteriores resultados, para el caso particular de la Electrónica Digital, a partir de una autoevaluación del colectivo de la asignatura:

	Caracterización en la UCLV para las Electrónicas Digitales I y II
1.Modelo de enseñanza	Sincrónico en el CRD, asincrónico en el CPT, en ambos con ayuda de las TIC para el estudio independiente.
2.Métodos de enseñanza	No convergen entre el CRD y el CPT. Se corresponden con el modelo utilizado en cada uno de estos. En el CRD profundizan más en el trabajo colaborativo y el desarrollo de proyectos.
3.Medios utilizados	Se utilizan: Micromundo Web, correo electrónico, herramientas de ayuda al diseño electrónico por computadora.
4.Herramientas basadas en Internet	Sólo se utiliza el micromundo web, no se cuenta con herramientas desarrolladas para la instrumentación virtual basada en Internet.
5.Cooperación entre los CES	Se ha limitado al proyecto antes mencionado y algunas acciones individuales, debe ampliarse y diversificarse.

6.Uso del OrCAD	Se utilizan intensivamente todas las potencialidades del OrCAD 9.0 (descripción esquemática, diseño jerárquico, descripción en VHDL, simulación digital, compilación y síntesis utilizando la interface OrCAD-Altera MaxPlus II.)
7.Bibliografía en formato digital	Se encuentran en el propio Web enlaces a: Libro de VHDL, Manuales de Dispositivos Lógicos Programables, Tutoriales de la norma ANSI/IEE Std 91-1984, libro Digital Design Principles and Practices de John F. Wakerly 200.
8.Enlaces a bibliografía en Internet	No se ha implementado
9.Material de ayuda con ejemplos en formato digital	Se cuenta con el desarrollo completo de las dos asignaturas de Electrónica Digital con abundantes ejercicios y explicaciones y enlaces a sus soluciones para ser simuladas en tanto en Electronic Workbench como en OrCAD 9.0.
10.Prácticas de Laboratorio	Centradas fundamentalmente a la simulación mediante computadora, se presentan deficiencias en la base material para el desarrollo de prácticas reales.
11.Relación de tiempo entre las actividades presenciales	Las conferencias han pasado a ocupar el 20 % aproximadamente del tiempo total, se ha ampliado el tiempo al desarrollo de Clase Prácticas, Seminarios, Laboratorios de simulación y Proyectos.
12.Interacción estudiante-profesor	Difiere entre el CRD y el CPT. En el primer caso es más directa en las actividades presenciales y con uso del correo electrónico en el desarrollo de los proyectos. En la etapa de proyecto se potencia el trabajo independiente y el profesor actúa como asesor-facilitador. Se potencia el uso de las TIC mediante la consulta a los materiales del Micromundo Web y el trabajo en grupos facilita el desarrollo de las habilidades de diseño.
13.Instalaciones Docentes	Aulas y laboratorios de computación cuentan con los medios necesarios para una docencia presencial de calidad, es necesario mejorar en los laboratorios reales o el desarrollo de la instrumentación real-virtual.

En cuanto a la enseñanza de la Electrónica Digital en particular, en los anexos 2 y 3 se muestran los resultados de los teletalleres realizados entre todas las universidades que imparten estas asignaturas en las carreras de Telecomunicaciones-Electrónica y Automática.

Para un mejor análisis de estos se muestran a continuación las opiniones vertidas sobre Electrónica Digital (ED) I y II impartidas por nuestro centro, así como la descripción de los items.

Los aspectos a tener en cuenta para la evaluación en los tele talleres fueron:

1. Cumplimiento de las indicaciones del plan de estudio.
2. Actualidad de las temáticas tratadas de acuerdo a la evolución de la Tecnología Electrónica.
3. Actualidad de las temáticas tratadas de acuerdo a la evolución de la Electrónica como objeto de estudio. Se toma como referencia lo que se hace en centros universitarios de reconocido prestigio internacional.
4. Orden en que son tratados los temas.
5. Actualidad de la bibliografía utilizada.
6. Utilidad de los recursos de software que se utilizan. Contribución potencial al cumplimiento de los objetivos de la asignatura.
7. Recursos de hardware que se utilizan. Contribución potencial al cumplimiento de los objetivos de la asignatura.
8. Formas organizativas de la docencia que se utilizan. Asignación de tiempo para cada una de ellas.
9. Sistema de evaluación que se utiliza.
10. Correspondencia entre el método de enseñanza que se aplica y los recursos que se utilizan. Vigencia del método.

El tele taller de la asignatura ED I fue coordinado por la CUJE y se desarrolló en el período comprendido entre el 3 de junio y el 17/10 del año 2002. Durante el desarrollo del mismo se valoraron por todos los centros participantes los programas analíticos vigentes para el curso 2001-2002 a través de un instrumento de medición desarrollado por la UCLV que permitió la búsqueda de regularidades a partir de la evaluación de 10 criterios.

Resumen de los criterios de las demás universidades sobre la UCLV en Digital I.

Centro	1	2	3	4	5	6	**7**	8	9	10
ISPJAE	10	8	10	10	7	10	**7**	8	8	8
UPR	9	10	10	9	10	9	**NE**	10	8	10
UO	9	10	10	10	9	10	**NE**	10	9	10
UC	10	10	10	10	9	8	**NE**	10	10	9
Prom.	**9,5**	**9,5**	**10**	**9,75**	**8,75**	**9,25**		**9,5**	**8,75**	**9,25**

El tele taller de la asignatura ED II fue coordinado por la UCLV y se desarrolló en el período comprendido entre noviembre y diciembre de 2002.

Resumen de los criterios de las demás universidades sobre la UCLV en Digital II.

Sobre la UCLV.

Centro	1	2	3	4	5	6	**7**	8	9	10
CUJAE	7	9	10	7	7	10	**6**	10	10	10
UPR	9	10	10	7	9	10	**4**	8	8	9
UO	9	10	10	8	9	10	**7**	9	7	8
UC	10	10	10	10	9	8	**5**	10	10	9
Promedio	**8.75**	**9.75**	**10**	**8**	**8.5**	**9.5**	**5.5**	**9.25**	**8.75**	**9**

Como se puede observar las principales deficiencias señaladas a nuestra universidad por los expertos de otros CES son:

1- Actualidad de la bibliografía en formato impreso (en la UCLV no contamos con la versión impresa del “Digital Design, Principles and Practices” de John F. Wakerly del año 2000).

2- Baja disponibilidad de recursos de hardware y utilización de los mismos.

3- El orden en que son tratados los temas en Electrónica Digital II de nuestro centro es diferente al del resto de los CES, pues estos no consideran importante el estudio del diseño y análisis de los circuitos secuenciales asincrónicos antes de los circuitos secuenciales sincrónicos. La experiencia de nuestro colectivo demuestra lo contrario.

Como aspectos positivos se señalan:

1- Actualidad de las temáticas tratadas de acuerdo a la evolución de la Electrónica como objeto de estudio, tomando como referencia lo que se hace en centros universitarios de reconocido prestigio internacional.

2- Utilidad de los recursos de software que se utilizan y su contribución potencial al cumplimiento de los objetivos de la asignatura.

3- Formas organizativas de la docencia que se utilizan y la asignación de tiempo para cada una de ellas.

4- Desarrollo de herramientas propias de ayuda al diseño de sistemas digitales combinacionales y secuenciales con interfaces que se corresponden a las características de las formas de enseñanza aplicadas.

2.3 Análisis comparativo de los Planes de Estudio de Electrónica Digital.

En el Anexo 4 se muestran los planes o programas de estudio sobre Electrónica Digital de un grupo de universidades de España, Argentina, Colombia y Estados Unidos, así como el de las asignaturas Electrónica Digital I y II que actualmente se imparten en nuestro centro.

En la tabla que se muestra a continuación se resumen los temas que se abordan en estos centros:

	Zaragoza	País Vasco	Vigo	Colombia	Stanford	UCLV
Sistemas de Numeración	X	X	X	X	X	
Álgebra de Boole	X	X	X	X	X	X
Simplificación de funciones	X	X	X	X	X	X
Compuertas Lógicas	X	X	X	X	X	X
Familias Lógicas	X	X	X		X	X
Fundamentos del Diseño Digital				X	X	X
Circuitos Combinacionales Típicos	X	X	X	X	X	X
Circuitos Secuenciales Asincrónicos			X			X
Circuitos Secuenciales Sincrónicos Básicos	X	X	X	X	X	X
Diseño Secuencial Asincrónico						X
Diseño Secuencial Sincrónico	X	X	X	X	X	X
Temporizadores	X		X			X
Circuitos Secuenciales Sincrónicos típicos	X	X	X	X	X	X
Aplicaciones con circuitos	X		X	X	X	X

Secuenciales típicos						
Memorias	X	X	X		X	X
Lógica Programable (PLDs)		X	X		X	X
Circuitos A/D		X				
Sistemas Secuenciales Sincrónicos Cableados (ASM)			X	X	X	X
Sistemas Secuenciales Sincrónicos Microprogramables			X		X	
Diseño para la verificabilidad (Design for testability)					X	

Los resultados de esta tabla pueden a su vez compararse con los índices temáticos de un conjunto de textos de reconocidos autores que se muestran en el Anexo 5.

De lo anterior se puede concluir que:

1- El tema de los fundamentos del diseño digital todavía no está difundido ampliamente. Cuando se trata el mismo sólo se analiza desde el punto de vista de procedimental, a lo cual se añaden comentarios acerca de la ejecución de dichos pasos utilizando herramientas de ayuda al diseño (EDA tools) y generalmente aplicando la metodología de diseño top-down. Sin embargo reviste de particular importancia su estudio y caracterización en lo que a los procesos iniciales de especificación y descripción comportamental se refiere, pues de esta etapa depende en un elevado porciento el éxito del diseño final.

2- Todos utilizan herramientas EDA, quedando en dependencia de la disponibilidad económica, patrocinadores, etc. cuál es en particular, aunque fundamentalmente se trabajan con las de Xilinx y Altera por tener estas programas ventajosos para las universidades.

3- Existe una tendencia a dejar de abordar la tecnología TTL y sólo tratar la CMOS con sus respectivas familias (HC, HCT, etc.)

4- El tema de los multivibradores no se abarca en casi ninguno de los programas de estudio y/o literatura.

5- De la misma manera el análisis y diseño de los circuitos secueciales asincrónicos no se aborda y en el caso de la literatura se realiza al final como un anexo o capítulo no necesario para la comprensión de los sistemas secuenciales sincrónicos.

6- Tampoco se abordan con frecuencia el análisis y diseño de los sistemas secuenciales sincrónicos microprogramables, aunque es necesario señalar que las dos universidades de mayor desarrollo analizadas sí lo hacen, así como dos de los textos consultados.

7- Otro tema importante es el diseño orientado a la verificabilidad sólo plasmado en el programa de estudio de Stanford y en otra asignatura de la Universidad de Vigo, así como en los textos de John F. Wakerly y M. Morris Mano.

8- Dentro de los sistemas evaluativos que se plasman en los programas hay una marcada tendencia al desarrollo de evaluaciones de orientación práctica (laboratorios y proyectos parciales y/o finales de curso) ya bien de modo individual como formando pequeños grupos (Zaragoza, Vigo, Stanford y UCLV).

9- En ninguna se utiliza el lenguaje de descripción de hardware VHDL, dejándose el estudio del mismo para asignaturas de Sistemas Digitales, Diseño VLSI (semicustom o full custom), etc. En ningún caso se utiliza el mismo como una herramienta más para fomentar el proceso inicial de especificaciones del diseño y simulación funcional. Sólo en el texto de John F. Wakerly se abarca el estudio del VHDL y el ABEL, pero separado de la estrategia de diseño.

10- En las universidades de mayor desarrollo la temática de la Electrónica Digital se imparte en más de dos asignaturas (Electrónica Digital I y II), tratándose otros temas más avanzados en asignaturas; generalmente optativas, como Microelectrónica, Arquitectura de Computadoras, Diseño VLSI, Sistemas Digitales Avanzados, etc.

2.4 Análisis de las estrategias de diseño abordadas en la literatura. Propuestas a partir de las experiencias en el centro.

Tanto en los textos revisados, como en las búsquedas realizadas en Internet para el anterior capítulo se puede señalar que, como generalidad, la respuesta a los problemas de diseño planteados se aborda como soluciones “pre-elaboradas”, donde a partir del planteamiento del problema se propone la solución del mismo mediante una representación esquemática con módulos típicos o componentes MSI.

2.4.1 Estrategia de diseño de sistemas combinacionales con ayuda de un lenguaje de descripción de hardware.

En la mayoría de los casos se describe en lenguaje natural la función general que debe realizar el problema y las entradas y salidas necesarias para la ejecución de la misma. Luego se procede a representar un diagrama en bloques, formado por módulos típicos estudiados en los capítulos anteriores y que, interconectados entre sí permiten realizar la función.

En resumen el lector se enfrenta a una propuesta de solución de la cual más bien realiza un análisis de su funcionamiento, a partir del conocimiento precedente de los bloques funcionales

típicos y, si encuentra que dicha interconexión da respuesta al problema en cuestión, considera que ha "diseñado" el sistema.

El proceso de diseño de los sistemas digitales combinacionales es mucho más rico que lo que propone la mayoría de la literatura consultada. Es precisamente en la primera etapa del mismo, cuando se están analizando las especificaciones del sistema, a la que mayor importancia es necesario darle. Esta etapa podemos denominarla de **modelación** y es inherente a cualquier proceso de solución de problemas en diferentes campos del saber.

Si bien en la mayoría de la literatura analizada se propone la metodología de diseño top-down, en la solución de los problemas no se es consecuente con dicha propuesta. Se produce un salto, en el orden del pensamiento lógico, al pasar de los comentarios en lenguaje formal acerca de las especificaciones del sistema a la solución en bloques funcionales.

Las experiencias en el trabajo para el desarrollo de esta habilidad permiten expresar que, en esta etapa inicial se conjugan varios factores y procesos que permiten transitar por las diferentes etapas de la metodología de diseño top-down.

En la figura 2.1 se muestran los factores que intervienen en esta etapa inicial de modelación y el proceso por el cual el diseñador transita para llegar a una primera versión del diseño esquemático con bloques típicos.

Generalmente, la idea que se tiene del problema se presenta simultáneamente en las formas verbales y gráficas. En esta primera etapa de la modelación, el diseñador comenta sobre las características del sistema que desea realizar para que cumpla con las funciones que dan solución al problema.

Esta primera descripción se realiza en el lenguaje nativo de la persona, por cuanto pensamiento y lenguaje están indisolublemente ligados [Vigo ___] y en esta etapa el diseñador, en la medida que se va explicando las funciones del sistema, va detallando el bloque general del mismo: entradas y salidas; así como las relaciones que estas deben cumplir para cada una de dichas funciones.

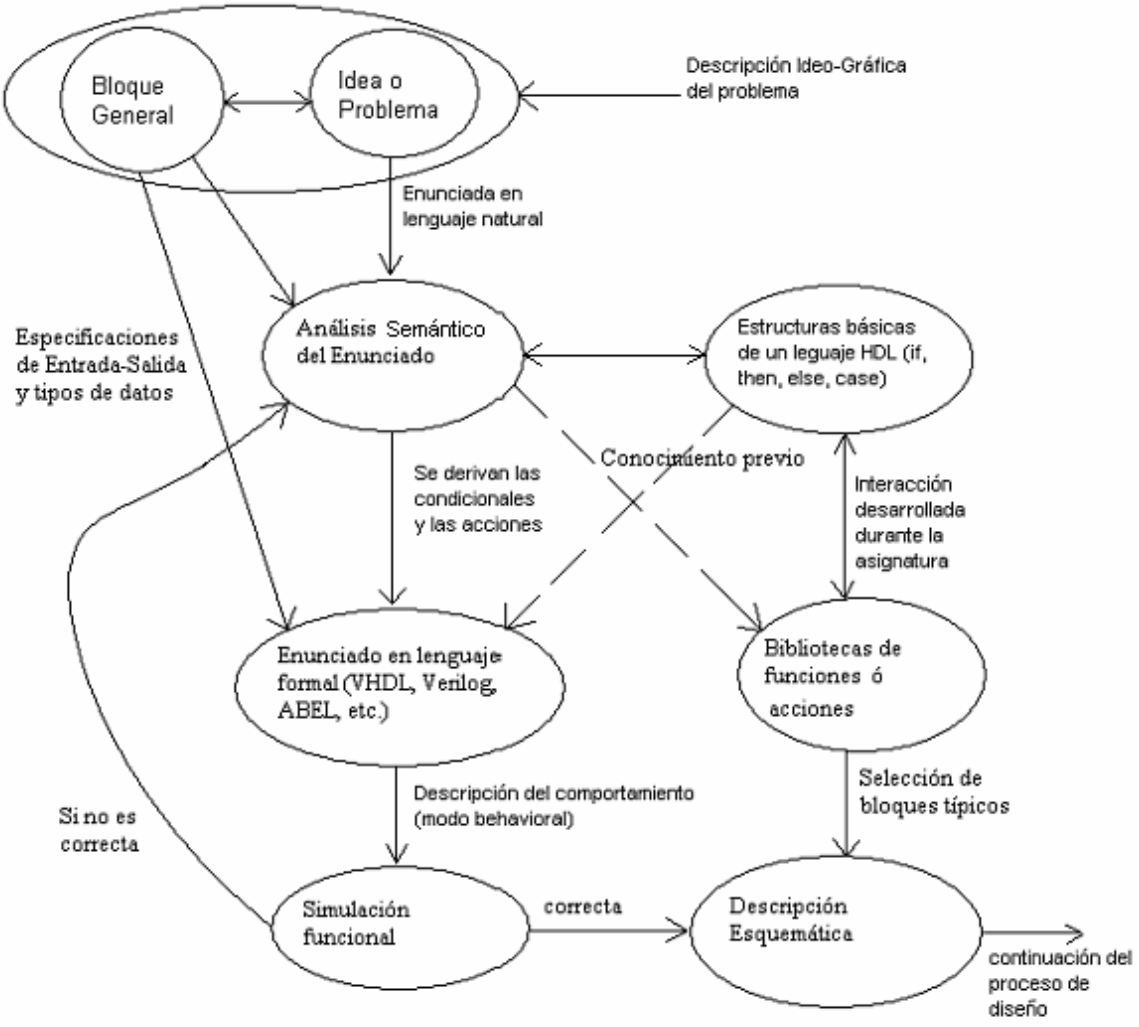


Fig. 2.1. Flujo del proceso de modelación para el diseño de sistemas combinacionales, con ayuda de un lenguaje de descripción de hardware.

Como el diseño es combinacional estas interacciones entrada-salida no tienen ninguna relación temporal y su especificación queda solamente a partir de condicionales (si, si no, no, ni, y (and), entonces, de lo contrario, ó, etc.). Pero nunca las condiciones: cuando, si fue, si era, será, cuando sea, si antes era, si luego será, si la secuencia era, etc.; por cuanto estas sí expresan un relación temporal.

Cuando se ha llegado a este punto de convergencia entre la descripción general del bloque y la relación de entrada-salida en lenguaje natural, se procede entonces a un proceso de reducción de todas estas expresiones de relación a condicionales y acciones (si-entonces-de lo contrario, en caso de, de lo contrario si); proceso que permite eliminar las ambigüedades que se pudieran haber presentado en la descripción en lenguaje natural.

Lo anterior permite que el diseñador pueda "traducir" estas expresiones a un lenguaje formal de descripción de hardware, en modo funcional, tal como el VHDL. Esto facilita que este primer modelo de comportamiento (behavioral) pueda entonces ser simulado con el objetivo de comprobar si la representación de la solución del problema es adecuada. De no serlo, el diseñador deberá volver a la primera etapa y confrontar los enunciados en lenguaje natural con los descritos en lenguaje de descripción de hardware, proceso interativo y de refinamiento gradual que culmina cuando los resultados de la simulación sean satisfactorios para un conjunto de datos y combinaciones de estos que satisfagan las exigencias iniciales del problema.

Como se observa en la figura, para el correcto desarrollo de esta etapa es necesario contar con un grupo de conocimientos previos, tales como:

1. Estructuras básicas digitales (AND, OR, NOT, NAND, NOR, XOR, XNOR) que permiten establecer el vínculo: expresión lógica en lenguaje natural <-> expresión lógica en Álgebra de Boole.

2. Bloques combinacionales típicos (sumadores, comparadores, selectores, multiplexores, demultiplexores, decodificadores, ALUs, etc.) que permiten representar las acciones especificadas en lenguaje natural: "entonces sumar A y B", "determinar el mayor de A y B", "seleccionar A ó B", etc.

3. Estructuras fundamentales de un lenguaje de descripción de hardware (PORT, IN OUT, PROCESS, IF-THEN-ELSE, ELSIF, CASE-WHEN-WHEN OTHERS) que permiten fácilmente traducir los enunciados ya analizados a dicho lenguaje.

La interacción de los conocimientos básicos en VHDL con las estructuras combinacionales típicas (bloques MSI) se logra en la medida que, durante la impartición de la asignatura se establecen las similitudes funcionales entre ambas, por ejemplo:

```
IF A = B THEN-- tiene como su similar funcional MSI a un COMPARADOR
        Y <= '1';
  ELSE
        Y <= '0';          -- tiene como similar funcional MSI un selector de datos
END IF;
```

En el Anexo 6 se muestra un ejemplo, tomado del sitio Web Digital (http://digital.fie.uclv.edu.cu) en el que se abarca la estrategia antes descrita.

2.4.2 Estrategia de diseño de sistemas procesadores digitales secuenciales sincrónicos con ayuda de un lenguaje de descripción de hardware.

Las soluciones que se muestran en la literatura acerca de los problemas secuenciales se pueden resumir en los siguientes pasos:

1. Subdividir, a partir del planteamiento del problema, el sistema secuencial en dos partes: el Procesador de Datos (datapath) y la Lógica de Control (finite state machine). En este punto juega un papel muy importante la experiencia del diseñador en cuanto a representar estructuras para procesar datos (comparadores, selectores, ALUs, registros de almacenamiento, etc.).

2. Confeccionar un algoritmo de hardware (ASM), en el que se represente el secuenciamiento de las acciones para la solución del problema a partir de un análisis más detallado del planteamiento del problema y la interacción entre los bloques del Procesador de Datos y la Lógica de Control.

3. Los siguientes pasos son, prácticamente en la actualidad, procesos automatizados que permiten obtener las ecuaciones de excitación de los biestables de la Lógica de Control y del resto de los elementos secuenciales del Procesador de Datos.

En la figura 2.2 se propone un flujo del proceso de modelación de sistemas secuenciales con ayuda de un lenguaje de descripción de hardware cuyas características más importantes son:

1. En el proceso de análisis semántico del problema enunciado en lenguaje natural se poseen, como herramientas para dicho análisis, los conocimientos previos de la lógica secuencial y combinacional; así como los bloques funcionales típicos que las realizan.

2. Con la ayuda de los conocimientos que, durante la impartición de los cursos de Electrónica Digital en nuestro centro, se han interrelacionado entre la representación esquemática-descripción VHDL; se pueden dividir los procesos tanto en función de la temporalidad (secuenciales-combinacionales) como de la funcionalidad (procesador de datos-lógica de control).

3. Se describe entonces en VHDL una primera versión del sistema digital en modo de comportamiento (behavioral) la cual se somete a simulación. De no ser adecuados los resultados es necesario volver a la fase de análisis semántico del enunciado del problema. La mayor ventaja de este proceso de modelación con ayuda del VHDL es poder realizar la simulación funcional de un modelo de comportamiento.

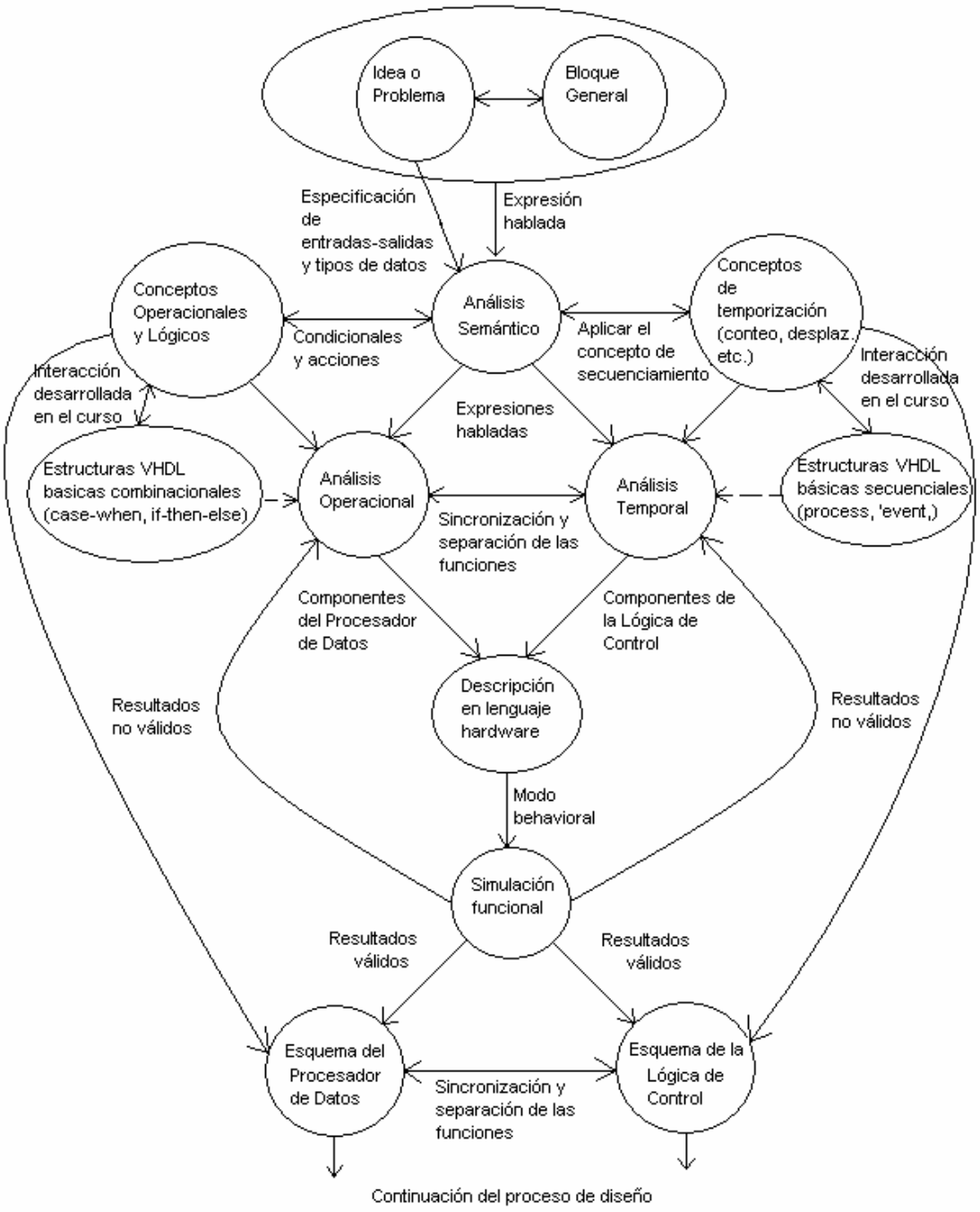


Figura 2.2. Flujo del proceso de modelación para el diseño de sistemas procesadores digitales secuenciales sincrónicos, con ayuda de un lenguaje de descripción de hardware.

4. Si los resultados son satisfactorios se procede a la representación, en bloques jerárquicos, separados de la lógica de control y el procesador de datos, para lo cual se cuenta con los conocimientos precedentes de los sistemas de temporización y los sistemas combinacionales. Otra

ayuda importante la brinda la interrelación de los anteriores conceptos con su modelación en VHDL. Esto permite que, a partir de la descripción general de comportamiento del sistema se puedan “extraer” mediante análisis sintáctico y semántico los bloques típicos que componen el procesador de datos.

En el Anexo 7 se muestra un ejemplo de la utilización de esta estrategia para el facilitar en los estudiantes el proceso de diseño de procesadores digitales secuenciales sincrónicos.

CAPITULO 3: Evaluación de las experiencias. Propuestas de modificaciones a los programas analíticos para elevar la calidad en el desarrollo de la habilidad de diseño.

3.1 Evaluación de las experiencias.

Para evaluar las experiencias que durante la impartición de la Electrónica Digital I y II, se han alcanzado con relación al desarrollo de la habilidad de diseño, se aplicó una encuesta al finalizar la asignatura Electrónica Digital II.

Se aplicó la misma a la totalidad de los estudiantes del grupo (34) y, el hacerlo al finalizar el curso, permite que los estudiantes valoren con mayor conocimiento de esta materia, la calidad del implementado.

Los aspectos a evaluar y los resultados dela misma se muestran a continuación:

ENCUESTA DE ELECTRONICA DIGITAL

Temática: Estrategias de diseño digital.

Curso: 2003-2004.

Grupo: 3ro de Telecomunicaciones y Electrónica.

La presente encuesta tiene como finalidad que Ud. evalúe cómo la preparación de la asignatura ha permitido el desarrollo de sus habilidades en el diseño de sistemas digitales.

1. ¿Considera Ud. que los temas estudiados en la asignatura están actualizados?
   No En cierta Medida Sí Desconozco
2. ¿Cómo evalúa Ud. la planificación de las actividades (Conferencias, C.Práct., Labor., Sem, Evaluaciones)?.
   Adecuada No Adecuada Desconozco
   Sugerencias:
3. ¿Considera Ud. que el ordenamiento de los temas es el correcto para desarrollar sus habilidades en el diseño?
   Sí No En cierta medida Desconozco
   Sugerencias:
4. ¿Considera que algún tema debe ser eliminado? ¿Cuál?
5. ¿Considera necesario incluir algún tema que mejore sus habilidades de diseño? ¿Cuál?
6. ¿Considera que el sitio Web digital facilita el desarrollo de dichas habilidades?
   Sí No En cierta medida Desconozco
7. ¿Qué otras facilidades le sugeriría al mismo?
8. ¿Facilitan las actividades docentes la comprensión de las estrategias de diseño?
   Sí No En cierta medida Desconozco
   Sugerencias:

9. ¿Ha comprendido Ud. la estrategia de diseño top-down (ascendente-descendente)?
   Sí No En cierta medida Desconozco
10. ¿Considera de utilidad el desarrollo del proyecto final para la integración de sus habilidades de diseño?
    Sí No En cierta medida Desconozco
    Sugerencias:
11. ¿Le ha resultado útil la herramienta OrCAD en el desarrollo de la estrategia de diseño top-down?
    Sí No En cierta medida Desconozco
12. ¿Qué otras herramientas y/o facilidades para el diseño necesitaría? (incluso aunque no existan, alguna que Ud. considere le facilite el trabajo)
13. ¿Ha llegado Ud. a familiarizarse con las estructuras fundamentales del VHDL para describir sistemas combinacionales y secuenciales?
    Sí No En cierta medida No me interesan
14. ¿Le facilita el VHDL al desarrollo de la estrategia para un diseño confiable?
    Sí No En cierta medida No me es necesario Me molesta
15. ¿Facilita el trabajo en grupo, para el proyecto, el desarrollo de las habilidades de diseño?
    Sí No En cierta medida No me es necesario Me molesta
16. ¿Considera Ud. que la forma de evaluación de dicho proyecto es la adecuada?
    Sí No En cierta medida Propongo otra:
17. ¿Considera Ud. que con los medios y métodos de que dispone (Web, ejemplos, simuladores, materiales de consulta) puede enfrentar diseños futuros de forma independiente?
    Sí Sí, pero formado parte de un equipo No En cierta medida
18. ¿De no ser positiva la respuesta anterior, qué considera le falta para ello?

Los resultados de la misma se pueden resumir en la siguiente tabla:

Preguntas	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
Si	30	-	34	-	7	30	-	34	27	34	34	15	27	30	27	34	12
No	-	-	-	34	27	-	15	-	-	-	-	19	-	-	-	-	-
En Cierta Medida	-	-	-	-	-	4	-	-	7	-	-	-	7	4	7	-	9
Desconozco	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Adecuada	-	30	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
No Adecuada	-	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
No me Interesa				-	-	-	-	-	-	-	-	-	-	-	-	-	
No me es Necesario				-	-	-	-	-	-	-	-	-	-	-	-	-	
Me Molesta				-	-	-	-	-	-	-	-	-	-	-	-	-	
Si, pero formando parte de un equipo.				-	-	-	-	-	-	-	-	-	-	-	-	-	13

2. Sugerencias:

- ✓ En los laboratorios hay poca exigencia a los técnicos, que no instalan los programas, o sea, falta de software en algunas máquinas.
- ✓ Desarrollar más laboratorios para fortalecer habilidades con el software.
- ✓ Realizar más actividades, como la desarrollada en el salón de conferencias con el DataProject acerca del diseño VLSI utilizando OrCAD-Altera MaxPlus II.

3. Sugerencias:

- ✓ Profundizar más en VHDL.

5. Sugerencias:

- ✓ Profundizar más en VHDL.
- ✓ Sí, VHDL como tema, que se dé cómo programar.

7. Sugerencias:

- ✓ Nos da una visión de cómo hacer las cosas basados en ejemplos, pero debía existir más información acerca de cómo realizar estos problemas.
- ✓ Que además contenga la opción, no sólo de leer sino de escuchar un video hablado sobre el contenido.

- ✓ Un apartado sobre temas prácticos.
- ✓ Incluir todos los proyectos realizados por los estudiantes.
- ✓ Adjuntar los proyectos de curso.
- ✓ Una página que contenga pruebas de otros años.

8. Sugerencias:

- ✓ Complementarlas con mayor detalle en los laboratorios reales.
- ✓ Más horas de laboratorios.

10. Sugerencias:

- ✓ Se debería orientar al inicio de semestre para ir realizándolo poco a poco a medida que se desarrollan los temas.
- ✓ Que esta evaluación tenga un gran peso en las notas de la asignatura.
- ✓ Que se le dé continuidad a los proyectos de Digital I en Digital II.
- ✓ Si existe una buena discusión del proyecto final, creo que no es necesario hacer el examen final.

12. Sugerencias:

- ✓ Analizar otros simuladores para circuitos digitales que existan.
- ✓ Instrumentación virtual, remota, programar PLDs de verdad.
- ✓ Manuales con las descripciones de las pastillas.
- ✓ Listados de pastillas y funciones.
- ✓ Un laboratorio real.

18. Sugerencias:

- ✓ Más preparación personal.
- ✓ Más contacto con práctica, análisis de tecnología inversa a partir de circuitos impresos.

Como se puede observar, las preguntas comprendidas entre la 1 a la 5 y la 8, están relacionadas con el Plan Temático de estas asignaturas y la organización de las formas de actividades, aspectos en los cuales existe una evaluación satisfactoria de la gran mayoría de los estudiantes.

Las sugerencias en este grupo están relacionadas con una mayor profundización del VHDL como lenguaje, mejorar la disponibilidad técnica de los laboratorios de computación, así como incrementar el número de laboratorios tanto de software como de hardware.

Las preguntas 6, 7 y 17 están relacionadas con la utilidad que brinda el micromundo sobre plataforma Web: Digital, para el trabajo en proyecto de mediana complejidad y para actividades independientes futuras.

En este caso las sugerencias se encuentran en incluir mayor número de ejercicios resueltos y evaluaciones de cursos anteriores.

Las preguntas 9 y de la 11 a la 14 permiten evaluar el grado de satisfacción con las herramientas EDA utilizadas y la estrategia de diseño top-down, con ayuda del VHDL desarrollada durante ambas asignaturas.

Las mayores insatisfacciones se encuentran en no contar con un kit de entrenamiento para el trabajo con PLDs, ya bien en un laboratorio real, como en su variante real-virtual a través de la Intranet.

Por último la 10, 15 y 16 evalúan la aceptación de los estudiantes al trabajo en grupo para la solución del proyecto final.

La gran mayoría reconoce que el trabajo en equipo es superior a la forma individual para enfrentar la solución a problemas complejos, además solicitan que la evaluación de este proyecto constituya la calificación final de la asignatura.

3.2 Propuestas de modificaciones a los programas analíticos para elevar la calidad en el desarrollo de la habilidad de diseño.

Teniendo en cuenta tanto las valoraciones de la encuesta, como los análisis tecnológicos y metodológicos efectuados en los capítulos 1 y 2 respectivamente consideramos oportuno proponer como Planes de las Asignaturas Electrónica Digital I y II los siguientes:

Electrónica Digital I.

Programa Analítico.

Carreras: Ingeniería en Telecomunicaciones y Electrónica.

Año: Tercero

Semestre: 1er. Semestre.

Fondo de tiempo: 64 horas.

Tipo de Examen: Proyecto Final.

Evaluaciones Parciales: 3.

Conferencias(C): 20 horas

C Prácticas (CP): 20 horas + 6 horas para evaluaciones parciales (EP).

Seminarios (S): 4 horas.

Laboratorios reales (LR): 5 horas

Laboratorios con las microcomputadoras (LμC): 6 horas + 3 horas de evaluación final.

Objetivos:

Instructivos:

1. Explicar las bases matemáticas sobre las que se sustenta el análisis y diseño digital (Álgebra de Boole), sus leyes y postulados.
2. Exponer y aplicar los procedimientos de diseño de circuitos combinacionales SSI, MSI y LSI en arquitecturas invariantes.
3. Diseñar y analizar sistemas combinacionales de media complejidad, aplicando los métodos estudiados.
4. Diseñar, analizar y simular sistemas digitales de media complejidad con la ayuda del ordenador.
5. Montar y comprobar el funcionamiento de sistemas combinacionales de media complejidad en el laboratorio.
6. Expresar y/o analizar en sentencias elementales del lenguaje de hardware VHDL (IEEE-1076) circuitos combinacionales típicos.

Bibliografía.

Bibliografía Básica.

- Digital Design, Principles and Practices. John F. Wakerly. Prentice Hall. 2000.

Bibliografía complementaria.

- Dispositivos Lógicos Programables. E. Mandado, L. J. Álvarez, Ma. D. Valdés. Editorial Thomson 2002.
- VHDL made easy. David Pellerin et all. Prentice Hall. 1998.

Sitios de Interés:

- http://www.digital.fie.uclv.edu.cu (red LAN de la Facultad de Ingeniería Eléctrica)
- http://www.ddpp.com (Digital Design Principles and Practices. John F. Wakerly)

Herramientas Computacionales:

- OrCAD 9.0
- AlteraMaxPlus II.
- SiCoBin Herramienta computacional de ayuda a la simplificación de funciones combinacionales de varias variables y una salida.

Relación de Temas:

Tema I. Introducción al álgebra de Boole.

Fondo de tiempo: 12 horas (C4h, CP4h, LR2h, EP2h).

Objetivos:

1. Diseñar y analizar, a partir de las funciones básicas del Álgebra de Boole, esquemas combinacionales uniterminales con funciones AND, OR y NOT.
2. Representar la Tabla de Verdad de una función a partir de la descripción verbal de un problema.
3. Expresar e interpretar las Tablas de Verdad, las formas canónicas y las formas compactas de una función de conmutación; tanto en forma esquemática como en lenguaje de descripción de hardware (estructuras behavioral y dataflow).
4. Aplicar los postulados y teoremas básicos en la simplificación de funciones.
5. Implementar funciones combinacionales uniterminales con conjuntos universales NAND y NOR.
6. Familiarizarse con el OrCAD 9.0 en los aspectos relaciones con la descripción esquemática y la simulación digital.

Contenidos:

Introducción al álgebra de Boole. Funciones básicas. Teoremas y Postulados. Tablas de Verdad. Función de conmutación. Implementación con funciones básicas. Descripción en el lenguaje de hardware VHDL IEEE-1076/87 (behavioral y dataflow).

Tema II. Circuitos Integrados Digitales.

Fondo de tiempo: 10 horas (C4h, CP4h, LR2h)

Objetivos:

1. Implementar funciones combinacionales uniterminales con compuertas universales NAND y NOR comerciales, comparando costos de realización.

2. Explicar el funcionamiento de las celdas básicas CMOS.
3. Conocer los parámetros eléctricos más importantes de la familia CMOS.
4. Comparar las subfamilias CMOS.
5. Comprobar los parámetros eléctricos en el laboratorio.

Contenidos:

Circuitos Integrados Digitales. Tecnología CMOS.

Tema III. Redes combinacionales multiterminales con SSI.

Fondo de tiempo: 12 horas (C4h, CP4h, S2h, LμC2h)

Objetivos:

1. Aplicar el método de los mapas de Veitch-Karnaugh en el diseño de sistemas combinacionales uni y multiterminales mínimos.
2. Implementar circuitos combinacionales típicos (ver contenidos del tema) con componentes SSI. Comprobar su funcionamiento mediante simulación.
3. Interpretar descripciones de circuitos combinacionales típicos en el lenguaje de descripción de hardware VHDL (IEEE-1076).
4. Realizar simulaciones de circuitos SSI típicos con OrCAD 9.0 y las descripciones de estos en VHDL.

Contenidos:

Redes combinacionales multiterminales. Diseño y Análisis con componentes SSI. Circuitos típicos: semisumador, sumador completo, decodificador/demultiplexor, multiplexor, codificador, convertidores de código, comparador, unidades aritmético-lógicas, etc. Métodos de simplificación. Introducción al uso del VHDL (IEEE-1076) y el OrCAD 9.0. Trabajo con la herramienta SiCoBin.

Tema IV. Diseño y Análisis con componentes MSI.

Fondo de tiempo: 16 horas (C4h, CP4h, S2h, LR2h, LμC2h, EP2h)

Objetivos:

1. Interpretar el funcionamiento de los dispositivos MSI, a partir de su tabla de verdad y/o de funcionamiento.
2. Diseñar sistemas digitales sencillos con componentes MSI (ampliación de la capacidad de decodificación o multiplexación, conexión en cascada, implementación de ALUs sencillas, etc.). Comprobar mediante simulación los mismos.
3. Analizar circuitos combinacionales de media complejidad formados a partir de la interconexión de dispositivos MSI conocidos.
4. Expresar en VHDL (IEEE-1076) las estructuras MSI combinacionales estudiadas, utilizando las estructuras behavioral y dataflow.
5. Realizar simulaciones de circuitos con MSI utilizando el OrCAD 9.0.

Contenidos:

Diseño y Análisis con componentes MSI. Circuitos integrados típicos: semisumador, sumador completo, decodificador/demultiplexor, multiplexor, codificador, convertidores de código, comparador, unidades aritmético-lógicas. Ampliación de la capacidad de decodificación o multiplexación, conexión en cascada, implementación de ALUs sencillas, etc. Definición de estos en VHDL IEEE-1076.

Tema V. Diseño combinacional con LSI.

Fondo de tiempo: 14 horas (C4h, CP4h, LμC4h, EP2h)

Objetivos:

1. Comparar los diferentes tipos de PLDs a partir de la clasificación general de los mismos.
2. Seleccionar, en función de la aplicación, el tipo de PLD más adecuado, tanto funcional como económicamente.
3. Diseñar circuitos combinacionales sencillos utilizando la representación lógica de ROMs, PLAs y PALs.
4. Diseñar circuitos combinacionales de complejidad media-alta, utilizando el lenguaje VHDL (IEEE-1076) y las herramientas EDA: OrCAD-AlteraMaxPlus II.

Contenidos:

Diseño combinacional con LSI. Introducción a los Dispositivos Lógicos Programables (PLDs). Clasificación: memorias ROM y RAM, dispositivos PLA, PAL, GAL, EPLD y FPGA. Descripción de PLDs combinacionales típicos. Aplicaciones. Uso del VHDL para la descripción de estas. Estrategia de diseño top-down aplicada a la solución de proyectos de media-alta complejidad con el uso de VHDL y las herramientas EDA: OrCAD-AlteraMaxPlus II.

Resumen de las propuestas de modificaciones al Programa Analítico de Electrónica Digital II:

1. Abandonar el uso del Electronic Worbench, pasando al trabajo intensivo con OrCAD.
2. Eliminar el estudio de la tecnología TTL, concentrándose en las tecnologías CMOS y HCMOS.
3. Incrementar el número de horas de laboratorio real en el Tema IV.
4. Incrementar del número de horas de laboratorio virtual en el Tema V que garantice el diseño VLSI utilizando las herramientas OrCAD-AlteraMaxplus II.
5. Pasar a la modalidad de examen final grupal donde se discutan los diferentes proyectos.

Electrónica Digital II.

Programa Analítico.

Carreras: Ingeniería en Telecomunicaciones y Electrónica.

Año: Tercero.

Semestre: 2do. Semestre.

Fondo de tiempo: 80 horas.

Tipo de Examen: Proyecto Final.

Evaluaciones Parciales: 3.

Conferencias(C): 24 horas

C Prácticas (CP): 30 horas + 6 horas para evaluaciones parciales (EP).

Seminarios (S): 6 horas.

Laboratorios reales (LR): 2 horas

Laboratorios con las microcomputadoras (LμC): 12 horas.

Objetivos:

Instructivos:

1. Fundamentar la necesidad de los sistemas secuenciales, tanto asincrónicos como sincrónicos.
2. Comparar ambos sistemas secuenciales, definiendo sus ventajas y desventajas y argumentando cada una de estas.
3. Representar las estructuras más generales de los Circuitos Secuenciales Asincrónicos (CSA) y Sincrónicos (CSS), así como explicar la relación entre sus partes.
4. Diseñar y analizar CSA con componentes SSI. Describirlos en VHDL (IEEE-1076/87).
5. Diseñar y analizar CSS con componentes SSI, MSI y LSI. Describirlos en VHDL.
6. Interpretar el funcionamiento de CSS típicos y analizar, a partir de estos, el funcionamiento de sistemas más complejos.
7. Diseñar, analizar y simular CSA y CSS con al ayuda de las herramientas computacionales existentes.

Bibliografía.

Bibliografía Básica.

- Digital Design, Principles and Practices. John F. Wakerly. Prentice Hall. 2000.

Bibliografía complementaria.

- Dispositivos Lógicos Programables. E. Mandado, L. J. Álvarez, Ma. D. Valdés. Editorial Thomson 2002.
- VHDL made easy. David Pellerin et all. Prentice Hall, 1998.

Sitios de Interés:

- **http://www.digital.fie.uclv.edu.cu (red LAN de la Facultad de Ingeniería Eléctrica)**
- **http://www.ddpp.com (Digital Design Principles and Practices. John F. Wakerly)**

Herramientas Computacionales:

- OrCAD 9.0
- Altera MaxPlus II.
- DigitalTools. Permite la descripción de una tabla de estados/salida(s) y de forma automática su simplificación, asignación binaria, y descripción del sistema en VHDL.

Relación de Temas:

Tema I. Análisis y Síntesis (Diseño) de Circuitos Secuenciales Asincrónicos (CSA)

Fondo de tiempo: 12 horas (C2h, CP4h, LμC2h, EP2h).

Objetivos:

1. Explicar la necesidad del diseño de circuitos secuenciales, así como el funcionamiento de estos a partir de su esquema general.
2. Explicar las ventajas y desventajas de los CSA con respecto a los sincrónicos
3. Aplicar la metodología de diseño secuencial asincrónico a partir de una interpretación de la relación entre las diferentes variables que forman estos sistemas.
4. Aplicar la metodología de análisis secuencial asincrónico a partir de una interpretación de la relación entre las diferentes variables que forman el circuito dado.
5. Describir, mediante diagramas de estados, el funcionamiento de un sistema secuencial expresado en forma verbal.
6. Diseñar y/o Analizar CSA con realimentación directa o con latches.
7. Describir CSA utilizando las formas behavioral y structural del VHDL.

Contenidos:
Análisis y Síntesis (Diseño) de Circuitos Secuenciales Asincrónicos (CSA) con realimentación directa y/o cerrojos (latch).

Tema II. Multivibradores.

Fondo de tiempo: 10 horas (C4h, CP4h, LR2h)
Objetivos:
1. Identificar el tipo de multivibrador a partir de su esquema eléctrico y explicar su principio de funcionamiento y filosofía de diseño.
2. Analizar y representar las formas de onda que caracterizan el funcionamiento de estos circuitos.
3. Deducir y calcular las expresiones y valores de tiempo de diferentes esquemas multivibradores.

Contenidos:
Multivibradores monoestables y astables digitales SSI y MSI.

Tema III. Análisis y Diseño de Circuitos Secuenciales Sincrónicos (CSS) con SSI.

Fondo de tiempo: 18 horas (C4h, CP6h, LR2h, LμC4h, EP2h)
Objetivos:
1. Explicar el funcionamiento de los CSS y compararlos con los CSA.
2. Describir los diagramas de estados para CSS.
3. Aplicar las metodologías de análisis y diseño de los CSS en la implementación de sistemas secuenciales de media complejidad y describirlos o realizarlos con componentes SSI (diseño de contadores, registros de desplazamiento, etc.).
4. Describir CSS típicos utilizando el VHDL en modo behavioral.

Contenidos:
Análisis y Diseño de Circuitos Secuenciales Sincrónicos (CSS) con SSI. Diseño de contadores sincrónicos y asincrónicos de módulo binario y no binario. Registros de desplazamiento. Contador de anillo y Johnson. Realización de diagramas de estado con SSI. Descripción de los mismos en VHDL.

Tema IV. Análisis y Diseño de CSS con componentes MSI.
Fondo de tiempo: 12 horas (C2h, CP4h, LR2h, LμC2h, EP2h)
Objetivos:
1. Interpretar el funcionamiento de diferentes componentes secuenciales MSI a partir tanto de sus tablas de descripción funcionales, así como de su descripción en los modos behavioral y/o dataflow del VHDL y utilizar los mismos en el diseño de sistemas secuenciales sincrónicos de mediana complejidad.
2. Analizar el funcionamiento de esquemas sencillos con componentes MSI.
3. Describir diagramas de estado utilizando el VHDL.

Contenidos:
Análisis y Diseño de CSS con componentes MSI. Contadores 7416X. Registros de desplazamiento 74194 y 74198. Otros contadores y registros. Utilización de las entradas de control. Diseño de ejemplos típicos (reloj, divisores de frecuencia, contadores de diferentes bases, registros de desplazamiento de barras, etc.).

Tema V. Máquinas de Estado Algorítmico.

Fondo de tiempo: 14 horas (C4h, CP6h, LμC4h)

Objetivos:

1. Aplicar la metodología de las Máquinas de Estado Algorítmico en el diseño de circuitos procesadores digitales de mediana complejidad. (controlador de posición en un eje, complemento a 2 serie, multiplicador serie, etc.).
2. Implementar Máquinas de Estado Algorítmico con componentes MSI.
3. Diseñar ASM con procesamiento en paralelo.
4. Describir el diagrama de estado de la Lógica de Control utilizando el VHDL.
5. Interconectar las diferentes partes de un procesador digital utilizando la representación esquemática y la descripción behavioral del VHDL disponibles en el OrCAD 9.
6. Desarrollar una Tarea Extraclase, en pequeños grupos de trabajo, que permita aplicar la metodología de diseño estudiada a la solución de problemas de complejidad media.

Contenidos:

Máquinas de Estado Algorítmico (ASM). Diagramas ASM. Implementación de la Lógica de Control y el Procesador de Datos con dispositivos SSI y MSI. Uso del VHDL y el OrCAD 9.0. Orientación de la Tarea Extraclase.

Tema VI. Diseño de CSS con componentes LSI.

Fondo de tiempo: 14 horas (C4h, CP2h, S2h, LμC4h (real-virtual), LμC2h (evaluativo)).

Objetivos:

1. Explicar la estructura de los Dispositivos Lógicos Programables (PLDs) secuenciales (PLDS ó PLS).
2. Seleccionar el PLS adecuado para un diseño en particular, teniendo en cuenta su estructura lógica interna, sus características eléctricas y el costo.
3. Aplicar la metodología para el diseño de CSS de alta escala de integración, para circuitos de mediana complejidad (ver tema anterior) y comprobar su funcionamiento utilizando las herramientas computacionales al efecto (OrCAD-AlteraMaxPlusII).

Contenidos:

Clasificación de los CSS LSI y VLSI. Memorias RAM, PLDs secuenciales (PLA, PAL, EPLD, GAL, FPGA, etc.). Diseño de CSS con componentes LSI. Introducción a los procesadores secuenciales. Uso del VHDL y el OrCAD 9. Tendencias actuales del diseño digital. Evaluación de la Tarea Extraclase.

Resumen de la propuesta de modificaciones al Programa Analítico de la Electrónica Digital II:

1. Reducir el número de horas del Tema I, abarcando sólo los aspectos esenciales del funcionamiento de los CSA con realimentación directa que permitan conocer el funcionamiento interno de los CSS.
2. Impartir en el Tema II de multivibradores sólo los que son realizables a compuertas digitales y circuitos MSI digitales, no incluir el 555 que se imparte en Electrónica Analógica III.
3. Aumentar el número de horas de laboratorio en el Tema III.
4. Eliminar un seminario y desarrollar una práctica de laboratorio real en el Tema IV.
5. Aumentar el número horas de laboratorio virtual en el Tema V.
6. Aumentar el número horas de laboratorio virtual en el Tema VI y desarrollar un seminario investigativo sobre el diseño moderno VLSI utilizando herramientas EDA de firmas de reconocimiento mundial. Uno de estos laboratorios debe ser real-virtual utilizando algún kit de PLDs acoplado a la microcomputadora.

Conclusiones:

En el presente trabajo realizó una valoración de los planes o programas de estudio sobre Electrónica Digital de un grupo de universidades de España, Argentina, Colombia y Estados Unidos, así como el de las asignaturas Electrónica Digital I y II que actualmente se imparten en nuestro centro, comparándolos con los índices temáticos de un conjunto de textos de reconocidos autores, basados en los resultados obtenidos podemos concluir que:

Se cumplió totalmente con los objetivos trazados ya que:

- Se cuenta con una revisión actualizada de los flujos de diseño que utilizan las firmas más importantes en la producción de circuitos y aplicaciones digitales.
- Se elaboraron estrategias de diseño de sistemas procesadores digitales secuenciales sincrónicos y sistemas combinacionales, con ayuda de un lenguaje de descripción de hardware.
- Se proponen modificaciones a los programas analíticos de las asignaturas de Electrónica Digital orientadas a elevar el nivel de desarrollo de la habilidad de diseño.

Bibliografía:

[ANDO 80] Ando, H. Testing VLSI with random access scan. Dig. Papers Compcon 80, IEEE Pub. 80CH1491-OC, pp.50-52, Feb. 1980.

[BENN 84] Bennetts, R.G. Design of testable circuits. Editorial Addison Wesley. 1984.

[EICH 78] Eichelberger, E. B., T.W. Williams. A logic design structure for LSI testability. J. Des. Automat. Fault tolerant Computing, vol 2, n° 2, pp. 165-168. May 1978.

[FUNA 75] Funatsu. S., N. Wakatsuki y T. Arima. Test generation systems in Japan. Proc. 12 th Design Automation Symp., pp. 114-122,. June 1975.

Gajski, Daniel D., Priciples of Digital Design. Ed. Prentice may. 1997. University of California, EEUA.

[HAYE 74] Hayes, J. P. On modifying logic networks to impruve their diagnosability. IEEE Trans. on Computer, vol.C-23. pp.56-62, Jan.1981.

[IEEE 94] ANSI/IEEE 1149.2-1990 Standard Test Access Port and Boudary-Scan Architecture (includes IEEE Std 1149.1a-1993 and IEEE Std 1149.1b-1994). IEEE Standard, Piscataway, N. J. 1994.

[LEE 90] Lee, P. A. y T. Anderson. Fault tolerance: principles and practice. Editorial Springer-Verlag, 2ª edición. 1990.

Mano, M. Morris y Charles R. Kime, Logic and Computer Design Fundamentals, Prentice-Hall, Inc. (1997).

Mandado, Enrrique., L. Jacobo Álvarez y Ma. Dolores. Valdés, Dispositivos Lógicos Programables y sus aplicaciones, Ed. Thomson. 2002. Universidad de Vigo, España.

[PARK 98] Parker, K.The Boundary Scan Handbook: Analog and Digital, 2nd edition. Kluwer Academic Press, Norwell, Mass., 1998.

[STEW 77] Stewart, J. H. Future testing of VLSI circuits cards. Dig. Papers1977 Semiconductor Test Symp., IEEE pub. 77CH1261-7C, pp. 6-17, Oct. 1977.

[TEXA 96] Texas Instruments. A look at boundary scan from a designer's perspective. SCTTA028. August 1996.

Roth,Charles H., Fundamentals of Logics Design, Fourth Edition, Jr. West Publishing Company, (1992).

Wakerly, John F., Digital Design Priciples & Practice, Third Edition Updated, Prentice may, (2001).

[WILL 83] Williams, T. W. y K. P. Parker. Design for Testability, A survey. Proceedings of the IEEE. Volume 71, Number 1, January 1983.

[WOND 99] Wondolowski, M., B. Bennetts y A. Ley. Boundary-Scan: The Internet of Test. IEEE Design & Test of Computers. July-September 1999.

http://www.altera.com

http://www.xilinx.com

http://www.uvigo.es

http://stanford.edu

http://www.uz.es

http://digital.fie.uclv.edu.cu

Anexo I. Encuesta Final del Proyecto MES: "Generalización de experiencias en la enseñanza de la Electrónica"

Disciplina Electrónica
Criterios sobre: modelos para el uso de las NTIC en la enseñanza de la Disciplina Electrónica
Centro de Educación Superior que opina:
Profesores que opinan (categoría científica y docente):

Introducción:
La encuesta que aparece a continuación, pretende recoger los criterios de los profesores que componen los colectivos de la disciplina Electrónica en los CES participantes en el proyecto antes referido. Se han identificado indicadores que aporten información sobre los modelos que los expertos consideran más favorables, para actualizar los métodos de enseñanza de las asignaturas de la disciplina Electrónica. Queda abierta la posibilidad de añadir algún otro indicador sobre el que el CES que opina, considere conveniente comentar, aportando su opinión al respecto.
Es importante **no limitar las opiniones**, pensando que las condiciones materiales a nuestro alcance son insuficientes para llevar a la práctica algunas ideas que puedan provocar cambios significativos.

Instrucciones:

- Sobre cada indicador se hacen propuestas, que **no necesariamente son excluyente**s. Cada una de ellas debe ser **ponderada con valores en el intervalo entre 2 y 5 puntos.** Entiéndase que si la propuesta **es de utilidad**, puede llegar hasta el valor máximo de 5 puntos. Si no se considera aplicable, debe calificarse con 2. Puede haber varias propuestas calificadas con el máximo o con cualquier otro valor en el intervalo señalado (2- 5).
- Queda abierta la posibilidad de incluir otras propuestas, en cualquiera de los indicadores, según los criterios del CES que opina.

Indicadores generales:

1- Organización de la actividad docente en el curso para trabajadores.

a) Para las clases se mantiene la actual organización de actividades docentes presenciales, en cursos para trabajadores (cada 15 días, en el CES correspondiente). **Ponderación**:___

b) Para las clases se forman grupos por regiones geográficas, de acuerdo a las demandas de matrícula. Los grupos desarrollarán sus actividades en forma sincronizada en aulas atendidas por el CES correspondiente, pero cercana a la residencia de los estudiantes. Se mantiene el esquema organizativo con encuentros cada 15 días. **Ponderación**:___

c) Los estudiantes trabajan en forma sincronizada, desarrollan parte de su actividad docente en espacios virtuales y las restantes, en las que se requiere la presencia física, en las instalaciones del CES correspondiente. Se aplican metodologías que activan el protagonismo del alumno: en la búsqueda y clasificación de información, en el estudio de alternativas de solución a problemas y que estimulan a trabajar de manera cooperativa con otros. **Ponderación**:___

d) La docencia es asincrónica, los estudiantes quedan en libertad de desarrollar la actividad docente, dentro del año académico, a su ritmo. Deben solo ajustarse a las convocatorias, de aquellas actividades que obligatoriamente son presenciales. **Ponderación**:___

e) Se mantiene la organización de la carrera en años académicos. **Ponderación**:___

f) Se organiza la carrera por asignaturas. Se establecen solo limitaciones para atender las relaciones de precedencia entre las asignaturas. Se obtiene así mayor flexibilidad para organizar el proceso docente y para el acceso a la educación. **Ponderación**:___

g) Dividir el curso escolar en intervalos diferentes al semestre, de modo tal, que exista la posibilidad de concentrar la acción en el estudio de un menor número de asignaturas , en cada intervalo. **Ponderación**:____

h) La carrera debe cursarse sin límite de tiempo. **Ponderación**:____

i) El límite de tiempo para cursar la carrera estará condicionado por el período de envejecimiento de los conocimientos correspondientes a cada asignatura. **Ponderación**:____

Otra propuesta:

Ponderación:_____

2- Organización de la actividad docente en el curso diurno.

a) Para las clases se mantiene el actual esquema de docencia: sincronizada presencial, con actividades diarias que se desarrollan aulas y laboratorios del CES correspondiente. **Ponderación**:____

b) Para las clases se forman grupos por regiones geográficas, de acuerdo a las demandas de matrícula. Los grupos desarrollarán sus actividades, diariamente, en forma sincronizada, en aulas atendidas por el CES correspondiente, pero cercana a la residencia de los estudiantes. **Ponderación**:____

c) Los estudiantes trabajan en forma sincronizada, desarrollan parte de su actividad docente en espacios virtuales y las restantes, en las que se requiere la presencia física, en las instalaciones del CES correspondiente. Se aplican metodologías que activan el protagonismo del alumno: en la búsqueda y clasificación de información, en el estudio de alternativas de solución a problemas y que estimulan a trabajar de manera cooperativa con otros. **Ponderación**:____

d) La docencia es asincrónica, los estudiantes quedan en libertad de desarrollar la actividad docente, en los horarios en que les resulte más conveniente y a su ritmo. Deben solo ajustarse a las convocatorias, de aquellas actividades que obligatoriamente son presenciales. **Ponderación**:____

e) Se mantiene la organización de la carrera en años académicos. **Ponderación**:____

f) Se organiza la carrera por asignaturas. Se establecen solo limitaciones para atender las relaciones de precedencia entre las asignaturas. Se obtiene así mayor flexibilidad para organizar el proceso docente. **Ponderación**:____

g) Dividir el curso escolar en intervalos diferentes al semestre, de modo tal, que exista la posibilidad de concentrar la acción en el estudio de un menor número de asignaturas , en cada intervalo. **Ponderación**:____

h) La carrera está limitada a un máximo de 5 años (cursos escolares). **Ponderación**:____

i) La carrera debe cursarse sin límite de tiempo. **Ponderación**:____

j) El límite de tiempo para cursar la carrera estará condicionado por el período de envejecimiento de los conocimientos correspondientes a cada asignatura. **Ponderación**:____

Otra propuesta:

Ponderación: _____

3- Medios de comunicación a utilizar con los estudiantes del curso para trabajadores

a) Correo postal. **Ponderación**:____

b) Un canal nacional de la TV. **Ponderación**:___

c) Un canal regional de la TV. **Ponderación**:____

d) Emisoras de radio con cobertura nacional. **Ponderación**:_____

e) Emisoras de radio con cobertura regional. **Ponderación**:_____

f) Correo electrónico. **Ponderación**:_____
g) Plataforma como SEPAD, Micro Campus, etc. **Ponderación**:_____
h) Sitios Web a los que pueden acceder los matriculados en el curso. **Ponderación**:_____
i) Se emplean, estableciendo convenios de cooperación, instalaciones de los Joven Club de computación y de centros de trabajo con acceso al correo electrónico y a Internet. **Ponderación**:____

Otra propuesta:

Ponderación: _____

4- Medios de comunicación a utilizar con los estudiantes del curso diurno

a) Correo electrónico. **Ponderación**:_____
b) Plataforma como: SharePoint, SEPAD, Micro Campus, etc. **Ponderación**:____
c) Sitios Web a los que pueden acceder los matriculados en el curso. **Ponderación**:____
d) Se emplean, estableciendo convenios de cooperación, instalaciones de los Joven Club de computación y de centros de trabajo con acceso al correo electrónico y a Internet. **Ponderación**:____

Otra propuesta:

Ponderación:_____

5- Recursos de hardware

a) Se acondicionan los laboratorios, para prácticas reales, de los CES para permitir el acceso remoto y por consiguiente, el desarrollo de prácticas de laboratorio a distancia. **Ponderación**:___
b) Se acondicionan los laboratorios de los CES para utilizar instrumentos virtuales en máquinas conectadas en una red con acceso a Internet, para desarrollar prácticas simuladas y reales, presenciales. **Ponderación**:____
c) Se acondicionan, en los Joven Club de computación, de municipios seleccionados, puestos de trabajo con instrumentos virtuales para realizar prácticas reales y simuladas. **Ponderación**:____
d) Se identifican módulos de componentes para prácticas de laboratorio, puestos al alcance de los estudiantes, a precios cercanos al costo, para la comprobación, al menos funcional, de los circuitos objeto de estudio. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:____

Otra propuesta:
Ponderación: _____

6- Recursos de software

a) Poner a la venta a precios cercanos al costo, discos compactos con instalaciones de software de utilidad para la asignatura. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:____
b) Disponer de quemadores y recursos suficientes para atender las solicitudes de estudiantes, que, trayendo sus discos compactos, desean disponer de copias del software empleado en la enseñanza de la Electrónica. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:____
c) Poner a la venta a precios cercanos al costo, discos compactos con instalaciones de interés para la asignatura. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:____
d) Coordinar y establecer convenios de cooperación con los Joven Club de computación y con centros de importancia económica, para que dispongan en sus máquinas, del software utilizado en

la enseñanza de la Electrónica, permitiendo el acceso a los estudiantes con residencia cercana al centro en cuestión. **Ponderación**:____

Otra propuesta:

Ponderación:_____

7- Recursos bibliográficos.

a) Almacenar en formato electrónico toda la bibliografía de interés para la asignatura, con acceso para todos los estudiantes matriculados. **Ponderación**:___

b) Disponer en los CES de recursos de impresión para atender las solicitudes al respecto. Fijar tarifas de costo que permitan que la instalación se pueda sostener. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:____

c) Disponer de quemadores y recursos suficientes para atender las solicitudes de estudiantes, que trayendo sus discos compactos, desean disponer de copias de los libros empleados en la enseñanza de la Electrónica. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:___

d) Coordinar y establecer convenios de cooperación con los Joven Club de computación y con centros de importancia económica, para que dispongan en sus máquinas, de copias de los libros utilizados en la enseñanza de la Electrónica, permitiendo el acceso a las mismas, a los estudiantes con residencia cercana al centro en cuestión. **Ponderación**:___

e) Poner a la venta a precios cercanos al costo, discos compactos con bibliografía de interés para la asignatura. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:___

f) Poner a la venta a precios cercanos al costo, discos compactos con instalaciones de interés para la asignatura. Esta medida puede contribuir también, a la educación económica de los estudiantes. **Ponderación**:___

Otra propuesta:

Ponderación:_____

8- Trabajo metodológico de la asignatura

g) Cada CES confecciona el programa analítico y prepara los materiales bibliográficos y de apoyo a la enseñanza que cada asignatura requiere. **Ponderación**:____

h) Los CES establecen relaciones de cooperación para desarrollar recursos de interés colectivo y hacen las adaptaciones necesarias en su radio de acción. **Ponderación**:_____

i) Se conforman colectivos de trabajo nacionales por asignaturas o grupos de estas, que por encargo elaboran recursos de interés general que quedan a disposición de todos los CES. **Ponderación**:___

Otra propuesta:

Ponderación:_____

Anexo 2. Resumen del tele taller sobre Electrónica Digital I

El tele taller de la asignatura ED1 fue coordinado por la CUJAE y se desarrolló en el período comprendido entre el 3 de junio y el 17/10 del año 2002. Durante el desarrollo del mismo se valoraron por todos los centros participantes los programas analíticos vigentes para el curso 2001-2002 a través de un instrumento de medición desarrollado por la UCLV que permitió la búsqueda de regularidades a partir de la evaluación de 10 criterios.

La calificación promedio recibida en cada uno de estos criterios respecto a cada uno de los programas analíticos analizados se muestra en las tablas siguientes:

Tabla 1 (Resumen de los criterios de las demás universidades sobre la UCLV)

Centro	1	2	3	4	5	6	7	8	9	10	Prom.
ISPJAE	10	8	10	10	7	10	7	8	8	8	8,6
UPR	9	10	10	9	10	9	NE	10	8	10	9,4
UO	9	10	10	10	9	10	NE	10	9	10	9,7
UC	10	10	10	10	9	8	NE	10	10	9	9,6
Prom.	9,5	9,5	10	9,75	8,75	9,25		9,5	8,75	9,25	9,3

Tabla 2 (Resumen de los criterios de las demás universidades sobre la UO)

Centro	1	2	3	4	5	6	7	8	9	10	Prom.
UCLV	10	10	10	10	10	10	10	10	8	10	9,8
UPR	10	10	10	10	10	10	9	9	10	10	9,8
ISPJAE	10	10	10	7	10	10	10	8	8	10	9,3
UC	10	10	10	10	10	10	9	10	10	9	9,8
Prom.	10	10	10	9,25	10	10	9,5	9,25	9,0	9,75	9,7

Tabla 3 (Resumen de los criterios de las demás universidades sobre la UPR)

Centro	1	2	3	4	5	6	7	8	9	10	Prom.
UCLV	10	10	10	10	10	9	8	9	9	9	9.4
ISPJAE	10	8	10	7	7	9	9	10	10	10	9,0
UO	10	10	10	10	10	10	8	8	7	9	9.2
UC	10	10	10	10	9	8	7	10	10	9	9.3
Prom.	10	9,5	10	9,25	9,0	9,0	8,0	9,25	9,0	9,25	9,2

Tabla 4 (Resumen de los criterios de las demás universidades sobre la CUJAE)

Centro	1	2	3	4	5	6	7	8	9	10	Prom.
UCLV	10	10	10	10	10	8	8	8	9	9	9,2
UPR	9	10	10	8	9	8	7	8	8	9	8,6
UO	9	10	10	6	8	8	7	7	9	9	8,3
UC	10	10	10	10	8	7	7	8	8	9	8,7
Prom.	9,5	10	10	8,5	8,75	7,75	7,25	7,75	8,5	9	8,7

Guía:

1. Cumplimiento de las indicaciones del plan de estudio.
2. Actualidad de las temáticas tratadas de acuerdo a la evolución de la Tecnología Electrónica.
3. Actualidad de las temáticas tratadas de acuerdo a la evolución de la Electrónica como objeto de estudio. Se toma como referencia lo que se hace en centros universitarios de reconocido prestigio internacional.
4. Orden en que son tratados los temas.
5. Actualidad de la bibliografía utilizada.
6. Utilidad de los recursos de software que se utilizan. Contribución potencial al cumplimiento de los objetivos de la asignatura.
7. Recursos de hardware que se utilizan. Contribución potencial al cumplimiento de los objetivos de la asignatura.
8. Formas organizativas de la docencia que se utilizan. Asignación de tiempo para cada una de ellas.
9. Sistema de evaluación que se utiliza.
10. Correspondencia entre el método de enseñanza que se aplica y los recursos que se utilizan. Vigencia del método.

Anexo 3. Resumen del tele taller sobre Electrónica Digital II.

El tele taller de la asignatura ED II fue coordinado por la UCLV y se desarrolló en el período comprendido entre noviembre y diciembre de 2002. Durante el desarrollo del mismo se valoraron por todos los centros participantes los programas analíticos vigentes para el curso 2001-2002 a través de un instrumento de medición desarrollado por la UCLV que permitió la búsqueda de regularidades a partir de la evaluación de 10 criterios.

La calificación promedio recibida en cada uno de estos criterios respecto a cada uno de los programas analíticos analizados se muestra en las tablas siguientes:

Sobre la UCLV.

Centro	1	2	3	4	5	6	7	8	9	10
CUJAE	7	9	10	7	7	10	6	10	10	10
UPR	9	10	10	7	9	10	4	8	8	9
UO	9	10	10	8	9	10	7	9	7	8
UC	10	10	10	10	9	8	**5**	10	10	9
Promedio	**8.75**	**9.75**	**10**	**8**	**8.5**	**9.5**	**5.5**	**9.25**	**8.75**	**9**

Sobre la CUJAE

Centro	1	2	3	4	5	6	7	8	9	10
UC	10	10	10	10	8	7	8	8	8	9
UPR	8	8	9	10	8	4	6	7	7	10
UO	9	10	10	9	9	**5**	**5**	9	7	8
UCLV	8	8	10	9	8	9	8	8	8	9
Promedio	**8.75**	**9**	**9.75**	**9.5**	**8.25**	**6.25**	**6.75**	**8**	**7.5**	**9**

Sobre UPR

Centro	1	2	3	4	5	6	7	8	9	10
CUJAE	6	8	9	6	7	10	9	7	8	10
UCLV	10	10	10	8	9	8	8	8	8	10
UO	10	10	10	10	9	10	9	9	8	10
UC	10	10	10	10	9	8	7	10	10	9
Promedio	**9**	**9.5**	**9.75**	**8.5**	**8.5**	**9**	**8.25**	**8.5**	**8.5**	**9.75**

Sobre UO

Centro	1	2	3	4	5	6	7	8	9	10
CUJAE	6	**5**	**5**	10	10	10	6	10	10	10
UPR	10	10	10	10	9	10	9	10	10	10
UCLV	10	10	8	10	10	10	8	10	10	9
UC	10	10	10	10	10	8	7	10	8	9
Promedio	**9**	**8.75**	**8.25**	**10**	**9.75**	**9.5**	**7.5**	**10**	**9.5**	**9.5**

Anexo 4. Planes de Estudio de Electrónica Digital de diferentes universidades mundiales.

1- Universidad de Zaragoza (España):

Asignatura de Electrónica Digital

Objetivos y evaluación.

Objetivos:

Se pretende conseguir capacidad de análisis, de diseño y de mantenimiento de sistemas electrónicos digitales, tanto combinacionales como secuenciales.

Esta capacidad supone:

- Manejar con fluidez la información codificada en palabras binarias; comprender, construir e interpretar con soltura las funciones booleanas y los grafos de estado como formas de describir los sistemas digitales.
- Conocer los bloques digitales y ser capaz de configurar sistemas mediante diagramas de bloques, atendiendo a unas especificaciones dadas; entender lo que aporta y lo que requiere el sincronismo y ser capaz de aplicarlo al diseño.
- Conocer y razonar la tecnología CMOS y tener en cuenta y aplicar sus características en su utilización circuital.
- Contar con una cierta habilidad de montaje y comprobación de circuitos digitales.
- Asumir una aptitud de síntesis y una perspectiva ingenieril en cuanto a diseño funcional, global y realista.
- Desarrollar una actitud crítica y cooperativa y percibir el respeto y la convivencia con las personas y el medio natural como valores a defender.

Criterios de evaluación

- Se realizarán dos exámenes parciales, el primero de ellos referido a "sistemas combinacionales" y su realización electrónica (10 primeros temas del programa); el segundo dedicado a "sistemas secuenciales" (8 temas restantes). Los parciales superados durante el curso tendrán vigencia hasta el examen final de junio; los exámenes de septiembre y diciembre habrán de realizarse globalmente, sin distinción en ellos entre parciales.
- La realización de las prácticas de laboratorio es una condición indispensable para superar la asignatura; quienes no puedan o no deseen realizar las prácticas en las sesiones previstas habrán de superar un examen de laboratorio que demuestre su capacidad de montaje, comprobación y medida de circuitos digitales.
- A lo largo del desarrollo de las prácticas de laboratorio deberá dejarse constancia del trabajo realizado y de sus resultados en un cuaderno de prácticas que será revisado al finalizar las mismas. La realización con suficiente aprovechamiento de todas las prácticas contará positivamente en la calificación final de la asignatura; por el contrario, una grave deficiencia en su realización supondrá la necesidad de superar el examen de laboratorio indicado en el apartado anterior.
- Cada semana se entregará en clase una hoja de problemas; en la semana siguiente se recogerán las soluciones de quienes los hayan trabajado y, en la medida de lo posible, se

devolverán corregidas. Obviamente, la valoración del trabajo desarrollado durante el curso será tenida en cuenta en la calificación de la asignatura.

- Los exámenes constarán de dos partes: cuestiones y ejercicios; la primera con varias cuestiones de aplicación razonada de la teoría, supondrá entre el 35 y el 40 % de la calificación del examen; la segunda parte incluirá varios problemas o ejercicios de análisis o de diseño con incidencia entre el 60 y el 65 % del total. Para superar un examen será necesario obtener en cada una de las dos partes, el menos, un tercio de la calificación prevista para la misma; en tal caso, la calificación global del examen será la suma de las obtenidas en cada parte.
- Durante el examen no se podrán consultar textos ni apuntes y, en el primer parcial, no podrá utilizarse calculadora. En la parte de cuestiones habrá, por lo general, preguntas relacionadas con las actividades, montajes y medidas desarrolladas en las prácticas de laboratorio.

Programa

0. Introducción. La Electrónica como técnica instrumental de la información. Electrónica Analógica ↔ Electrónica Digital.

Primer cuatrimestre. SISTEMAS COMBINACIONALES

1. Álgebras de Boole de 2 elementos. Operaciones booleanas y puertas lógicas
2. Puertas lógicas con diodos y con interruptores. Puertas NMOS.
3. Funciones booleanas y su simplificación.
4. Puertas con interruptores complementarios. Lógica CMOS.
5. Bloques aritméticos y codificación numérica.
6. Bloques combinacionales. Configuraciones reticulares.
7. Conjuntos de funciones: estructuras matriciales y bloques programables.
8. Tecnología CMOS. Diversidad de configuraciones.
9. Codificación en palabras binarias. Detección de error.
10. Familias lógicas integradas

Segundo cuatrimestre. SISTEMAS SECUENCIALES

11. Introducción a los circuitos secuenciales: conceptos y diseño.
12. Sincronismo y biestables síncronos. Secuenciadores lógicos programables.
13. Diseño secuencial síncrono.
14. Temporizadores: osciladores y monostables.
15. Contar pulsos y dividir frecuencias. Diseño y conexión de contadores.

16. Aplicaciones de los contadores. Diseño modular de sistemas digitales.

17. Pulsos de anchura modulada.

18. Memorias de acceso directo. Arquitectura con buses.

Prácticas

Se realizarán 10 prácticas de laboratorio, 5 en cada cuatrimestre, en conexión directa con los contenidos del mismo e inmediatamente después de su impartición en clase.

Estas son las sesiones a realizar durante el primer cuatrimestre

- PRACTICA 1. Operaciones booleanas: puertas lógicas.
- PRACTICA 2. Puertas lógicas con transistores
- PRACTICA 3. Funciones lógicas.
- PRACTICA 4. Bloques combinacionales.
- PRACTICA 5. Estudio de las características de la familia lógica CMOS: serie 74HC.

Bibliografía

- Tomás Pollán "Electrónica Digital" Colección Textos Docentes. Univ. Zaragoza. 2003. Segunda edición de este texto en 2 volúmenes (Sistemas combinacionales/ secuenciales).
- John F. Wakerley "Digital Design" 3ª Edición. Prentice-Hall International Ed. 2000.
- T. L. Floyd "Fundamentos de Sistemas Digitales" Addison-Wesley Iberoamericana. 1996.
- John P. Hayes "Diseño Lógico Digital" Prentice-Hall. Madrid. 1997.
- R.J. Tocci "Sistemas Digitales" Prentice-Hall. Mexico. 1987.
- Randy H. Katz "Contemporary Logic Design" The Benjamin/Cummings Publishing. 1994.
- Manuel Mazo y otros "Circuitos Electrónicos Digitales". Univ. de Alcalá. 1995.
- Daniel D. Gajski "Principios de Diseño Digital" Prentice-Hall. Madrid. 1997.
- Jerry D. Daniels "Digital Design from Zero to One" John Wiley & Sons,Inc. 1996.
- Horowith and Hill "The Art of Electronics" 2ª EdiciónCambridge University Press. 1989.
- Carmen Baena y otros “Problemas de circuitos y sistemas digitales” McGraw-Hill. 1997.
- Catálogos de circuitos integrados de los diversos fabricantes.

Nota. Estos libros están disponibles en la biblioteca del campus.

2-Universidad del País Vasco (España):

ASIGNATURA: **Electrónica Digital**

CUATRIMESTRE: 3

ÁREA DE CONOCIMIENTO: Tecnología Electrónica

ESPECIALIDAD:

DEPARTAMENTO: Electrónica y Telecomunicaciones.

Nº CRÉDITOS: 3 Teóricos - 3 Prácticos

OBJETIVOS: Los objetivos generales más importantes de la enseñanza de la electrónica, ordenados según la escala ascendente de cualquier proceso de aprendizaje, podrían ser los siguientes:

1. Conocer los procesos, circuitos, subsistemas y sistemas electrónicos, como base fundamental del diseño electrónico.
2. Comprender el funcionamiento de un circuito y extraer propiedades y consecuencias del mismo.
3. Aplicar lo comprendido para la resolución de problemas y ver la utilidad de cualquier circuito que se le presente.
4. Analizar circuitos y sistemas electrónicos, es decir, conocer y comprender el funcionamiento de un circuito, ser capaz de predecir el funcionamiento de un circuito semejante.
5. Sintetizar o diseñar circuitos y sistemas electrónicos semejantes o de mayor complejidad, especificando qué bloques funcionales son necesarios.
6. Valorar qué alternativa es la más adecuada en un determinado diseño, evaluar qué componentes o subsistemas son más adecuados, etc...

A pesar de la importancia de estos objetivos, que proporcionan una base sólida a un diseñador electrónico, creemos que también hay que considerar como objetivo el inculcar al alumno la necesidad de estar abierto a los cambios y desarrollar un espíritu crítico en el planteamiento y obtención de resultados, teniendo en cuenta el cambio continuo y la evolución que se está produciendo en la tecnología electrónica. En definitiva, hay que preparar al alumno para aprender a aprender.

En cuanto a la asignatura de Electrónica Digital en Particular, tiene como objetivos el conocimiento, Análisis y diseño de circuitos electrónicos que utilizan técnicas digitales. Teniendo esto en cuenta se recogen en el programa dos líneas de actuación claramente diferenciadas. Una es el estudio de las tecnologías existentes y de los circuitos integrados estándar desde un punto de vista funcional, y otra la aplicación de éstos al diseño de sistemas electrónica digitales.

Para alcanzar los objetivos se deben utilizar en todo momento dispositivos reales, lo que, por otra parte, contribuye a consolidar una habilidad importante en el diseño electrónico como es el manejo de catálogos.

PROGRAMA RESUMIDO

1. Álgebra de variables lógicas.
2. Sistemas numéricos y aritmética binaria.
3. Circuitos combinacionales aritméticos.
4. Circuitos combinacionales lógicos.
5. Circuitos integrados digitales.
6. Diseño de circuitos secuenciales.
7. Registros y contadores.
8. Lógica programable por el usuario.
9. Memorias.
10. Circuitos mixtos.

BIBLIOGRAFÍA BÁSICA:

- Martín González, J.L.; Ibáñez Ereño, P.; "Electrónica Digital. 3º Telecomunicaciones"; Publicaciones de la E.T.S.I.I. y de I.T. de Bilbao; U.P:V. /E.H.U.; Septiembre 1994.
- Padilla, I.;"Ejercicios de Electrónica Digital"; Servicio de Publicaciones de la E.T.S. Ingenieros de Telecomunicación de Madrid; 1988.
- Muñoz Merino, E. (Coordinador) y otros; "Circuitos Electrónicos Digitales II"; Servicio de Publicaciones de la E.T.S. Ingenieros Telecomunicación de Madrid; 4ª Edición; 1987.
- Mandado, E.; "Sistemas Electrónicos Digitales"; Marcombo Boixeareu Editores; 7ª Edición; 1991.
- Cheung, J.Y.; Bred son, J.G.; "Modern Digital Systems Design"; West Publishing Company; 1990.
- Katz, R.H.; "Contemporary Logic Design"; The benjamin/Cummings Publising Company; 1994.
- Malvino, A.P.; Leach, D.P.; "Principios y Aplicaciones Digitales"; Marcombo Boixareu Editories; 4ª Edición; 1988.
- Taub, H.; "Circuitos Digitales y Microprocesadores"; MacGraw-Hill; 1983.
- Sandige, R.S.; "Modern Digital Design"; MacGraw-Hill; 1990.

3. Universidad de Vigo (España):

PROGRAMA DE LA ASIGNATURA:
ELECTRÓNICA
DIGITAL
CENTRO: E. T. S. DE INGENIEROS DE TELECOMUNICACIÓN
TITULACIÓN: INGENIERO DE TELECOMUNICACIÓN
ESPECIALIDADES: TELEMÁTICA – COMUNICACIONES - ELECTRÓNICA
CURSO: 2º
TIPO DE ASIGNATURA: TRONCAL
CRÉDITOS: 6 TEORÍA
PROFESORADO:
Coordinadora: Dña. María José Moure Rodríguez

D. Enrique Mandado Pérez

PROGRAMA DE TEORÍA

TEMA 1: Introducción a los Sistemas Digitales.

Sistemas Digitales frente a Sistemas Analógicos. Sistemas binarios. Sistemas de numeración. Códigos binarios.

TEMA 2: Funciones lógicas.

Álgebra de Boole. Formas canónicas. Tablas de verdad.

TEMA 3: Sistemas combinacionales I

Simplificación de funciones. Método de Kamaugh. Funciones incompletas. Multifunciones.

TEMA 4: Sistemas combinacionales II

Realización con puertas de las funciones lógicas. Fenómenos aleatorios.

TEMA 5: Sistemas combinacionales III

Bloques MS1: decodificadores, codificadores, multiplexores, demultiplexores, comparadores, detectores/generadores de paridad. Aplicaciones y simbología normalizada.

TEMA 6: Sistemas combinacionales IV (5 h.)

Sistemas combinacionales programables no universales. Sistemas combinacionales programables universales: memorias de acceso aleatorio y matrices lógicas programables (PLA, PAL).

TEMA 7: Circuitos aritméticos (5 h.)

Suma y resta binarias. Semisumador. Sumador total. Circuitos de generación de acarreo. Sumador-restador en complemento a 2. Sumador-restador en complemento a 1.
Unidades aritmético-lógicas. Multiplicación binaria. Circuitos multiplicadores. Aritmética en BCD. Sumador-restador en BCD.

TEMA 8: Tecnologías (6 h.)

Características generales de los circuitos digitales: fan-out, fan-in, tensiones umbrales, margen de ruido, tiempo de propagación, disipación de potencia. Familias lógicas: RTL, DTL, TTL, TTL Schottky, ECL, CMOS, BiCMOS, GaAs.

TEMA 9: Sistemas Secuenciales I (1'5 h.)

Sistemas secuenciales asíncronos. Biestable R-S. Biestable J-K. Biestable T.

TEMA 10: Sistemas Secuenciales II (5 h.)

Monoestables. Temporizadores analógico-digitales. Astables. Generadores de impulsos. Circuito temporal 555.

TEMA 11: Sistemas Secuenciales III (3 h.)

Sistemas secuenciales síncronos. Biestables sincronizados por niveles. Biestables master-slave. Biestables activados por flancos.

TEMA 12: Sistemas Secuenciales IV (5 h.)

Bloques funcionales síncronos: registros de entrada/salida en paralelo, contadores, registros de desplazamiento. Simbología normalizada bloques funcionales síncronos. Sistemas secuenciales síncronos asincronizados. Contadores asíncronos.

TEMA 13: Sistemas Secuenciales V (6 h.)

Síntesis de sistemas secuenciales síncronos de control: cableados, microprogramables.

TEMA 14: Sistemas Secuenciales VI (1'5 h.)

Aplicaciones de los sistemas secuenciales síncronos de control: procesadores digitales, controladores 1ógicos.

TEMA 15: Memorias I (5 h.)

Parámetros de una memoria. Memorias de acceso aleatorio. Memorias de acceso aleatorio activas (SRAM, DRAM).

TEMA 16: Memorias II (4'5 h.)

Memorias de acceso aleatorio pasivas (ROM, EPROM, EEPROM, Flash). Memorias de acceso serie (FIFO, LIFO). Tecnologías de las unidades de memoria.

TEMA 17: Introducción a los PLD's (1'5 h.)

BIBLIOGRAFÍA

"Sistemas Electrónicos Digitales". E. Mandado. Ed. Marcombo, 8ª Edición, 1998.
"Manual de prácticas de Electrónica Digital". E. Mandado, J.J. Rodriguez, L.J. Álvarez. Ed. Marcombo, 3ª Edición, 1995.
"Sistemas Digitales. Principios y aplicaciones". Tocci, Widmer. Prentice-Hall, 8ª edición, 2003.
"Microelectrónica: Circuitos y sistemas analógicos y digitales". J. Milmann. Ed. Hispano-Europea, 3ª Edición, 1986.
"Circuitos electrónicos. Volumen 4: Digitales II". E. Muñoz. E.T.S.I.T., U.P. de Madrid.
"Introduction to Digital Logic Design". J. Hayes. Addíson-Wesley,1994.
"Contemporary Logic Design". R. Katz. Ed. B. Cummings.
"Design of Logic Systems". D.Lewin, D. Protheroe. Chapman and Hall, 3ª Edición, 1994.

PRERREQUISITOS Y CORREQUISITOS RECOMENDADOS

Prerrequisitos: Fundamentos Matemática Discreta, Dispositivos Electrónicos I.
Correquisitos: Dispositivos Electrónicos II.

4. Universidad de Vigo (España):

PROGRAMA DE LA ASIGNATURA: LABORATORIO DE ELECTRÓNICA DIGITAL
CENTRO: E.T.S. DE INGENIEROS DE TELECOMUNICACIÓN
TITULACIÓN: INGENIERO DE TELECOMUNICACIÓN
ESPECIALIDADES: TELEMÁTICA-COMUNICACIONES-ELECTRÓNICA
CURSO: 2º (2º cuatrimestre)
TIPO DE ASIGNATURA: OBLIGATORIA
CRÉDITOS: 3 (Laboratorio)
PROFESORADO:
LABORATORIO
D. Miguel Ángel Domínguez Gómez (coordinador)
Dña. Mª José Moure Rodríguez
D. Camilo Quintáns Graña
D. Fernando Machado Domínguez
D. Emilio Martínez Expósito

OBJETIVOS

La asignatura LABORATORIO DE ELECTRÓNICA DIGITAL es el complemento de la asignatura teórica ELECTRÓNICA DIGITAL del mismo curso y primer cuatrimestre.
En esta asignatura se supone que el alumno ya ha adquirido los conocimientos básicos de dispositivos electrónicos y electrónica digital en las asignaturas DISPOSITIVOS ELECTRÓNICOS I (1 er curso) y ELECTRÓNICA DIGITAL (1 er cuatrimestre de 2º curso). Por ello, se le dará una orientación hacia el diseño asistido por ordenador y el montaje/verificación de sistemas digitales que previamente habrá diseñado el propio alumno. Las prácticas se orientan fundamentalmente al diseño, montaje y verificación de circuitos secuenciales.

PROGRAMA DE PRÁCTICAS DE LABORATORIO

PRÁCTICA 1: INTRODUCCIÓN AL PROCESO DE MONTAJE Y VERIFICACIÓN DE CIRCUITOS ELECTRÓNICOS DIGITALES.
En esta primera práctica se pretende familiarizar al alumno con los métodos de montaje que utilizará a lo largo de la asignatura. Para ello habrá de montar y verificar un sistema combinacional simple construido con puertas lógicas. El alumno habrá hecho previamente el diseño en base a unas especificaciones.
Duración: 2 horas.
PRÁCTICA 2: CIRCUITOS COMBINACIONALES I. BLOQUES ARITMÉTICOS.

El alumno realizará el diseño de un circuito combinacional sencillo basado en bloques funcionales y puertas lógicas.
Duración: 2 horas.
PRÁCTICA 3: INTRODUCCIÓN AL DISEÑO ASISTIDO POR COMPUTADOR DE SISTEMAS ELECTRÓNICOS DIGITALES.
En esta práctica se introducirá al alumno en el manejo básico de un programa profesional de diseño electrónico asistido por computador: Descripción de circuitos (esquemáticos). Utilización de librerías de componentes. Simulación de circuitos digitales.
El dominio de esta herramienta se amplía en el resto de las prácticas. También se realizará el montaje de un circuito combinacional simple, previamente diseñado por el alumno, en base a unas especificaciones, que permita una sencilla comparación con los resultados obtenidos en las primeras simulaciones.
Duración: 2 horas.

PRÁCTICA 4: CIRCUITOS COMBINACIONALES II.
El alumno habrá diseñado previamente un circuito combinacional simple con puertas y bloques funcionales. En el laboratorio realizará la simulación, el montaje y la verificación de su diseño usando las herramientas CAD introducidas en la práctica anterior.
Duración: 2 horas.
PRÁCTICA 5: SIMULACIÓN Y MONTAJE DE CIRCUITOS TEMPORALES BASADOS EN EL C.I. 555.
En esta práctica se introduce al alumno en la simulación electrónica de circuitos mixtos (analógicos/digitales).
El alumno deberá diseñar, simular y montar circuitos temporales (monoestables y astables) basados en el circuito integrado 555.
Duración: 2 horas.
PRÁCTICA 6: SISTEMAS SECUENCIALES: CONTADORES SÍNCRONOS Y ASÍNCRONOS. CIRCUITOS ANTIRREBOTES.
En esta práctica el alumno estudiará, mediante la simulación y montaje, los diferentes tipos de contadores y las diferencias entre ellos. También comprobarán de una manera práctica la necesidad de utilizar circuitos antirrebotes en los generadores de flancos.
Duración: 2 horas.
PRÁCTICA 7: CIRCUITOS SECUENCIALES I.
Sobre un diseño previo, en base a unas especificaciones, el alumno realizará la simulación y el montaje de un sistema secuencial utilizando biestables J-K.
Duración: 2 horas.
PRÁCTICA 8: CIRCUITOS SECUENCIALES II. ELECCIÓN Y GENERACIÓN DE VECTORES DE PRUEBA.
Sobre un diseño previo, en base a unas especificaciones, el alumno realizará la simulación y el montaje de un sistema secuencial. Al mismo tiempo deberá determinar los vectores de prueba que permitan verificar la evolución del circuito secuencial.
Duración: 2 horas.
PRÁCTICA 9: CIRCUITOS SECUENCIALES III.
Sobre un diseño previo, en base a unas especificaciones, el alumno realizará la simulación y el montaje de un sistema secuencial. Se utilizarán circuitos integrados de diferentes tecnologías (CMOS y TTL) y el alumno deberá estudiar la adaptación entre ellas.
Duración: 2 horas.
PRÁCTICA 10: CIRCUITOS SECUENCIALES IV.
Sobre un diseño previo, en base a unas especificaciones, el alumno realizará la simulación y el montaje de un sistema secuencial complejo.

Duración: 2 horas.

BIBLIOGRAFÍA

BÁSICA
Goody R. W., “Orcad Pspice for Windows. Volume III: Digital and Data Communications”, Ed. Prentice Hall, 3th Edition, ISBN 0-13-031183-9, 2001.
Recanses M.A. y González J., “Orcad capture y layout 9.2”, Ed. Thomson, 2002.
Mandado E., "Sistemas electrónicos digitales". Ed. Marcombo, 8ª edición, 1998.
COMPLEMENTARIA
Manuales de los programas CAD que se utilicen en las prácticas.
Libros de datos de circuitos digitales de tecnologías TTL y CMOS de diversos fabricantes (Texas Instruments, Motorola, Signetics, National, ...)
Mandado E., Rodríguez J. y Álvarez J., "Manual de prácticas de electrónica digital", Ed. Marcombo, 3ª edición 1995.
Mandado E., Marcos J. y Pérez S., "Controladores lógicos y autómatas programables". Editorial Marcombo, 3ª edición, 1993.
Taub H. Y Schilling D., "Electrónica Digital Integrada", Ed. Marcombo.

5. Universidad Nacional de Ingeniería (Colombia):

PROGRAMA DE: ELECTRÓNICA DIGITAL I

I. Información General

Universidad: Universidad Nacional de Ingeniería
Facultad: Electrotecnia y Computación
Carrera: Ingeniería Electrónica
Plan: 2001
Disciplina: Electrónica Digital
Asignatura: Electrónica Digital I
Tipo de asignatura: De la Profesión
Código:
Año: III
Semestre: V
Pre-requisito: Ninguno
Precedencia: Electrónica Digital II
Co- requisito: Ninguno
Créditos: 4
Horas: 84
Frecuencia Semanal: 6

II. Objetivos

- Generales.

Al terminar este curso de Electrónica Digital el estudiante debe conocer las bases de la teoría aritmética digital, las técnicas de codificación digital, los fundamentos teóricos del álgebra de Boole, dominio de las técnicas de diseño combinacional de circuitos lógicos, los conceptos de memoria y máquinas de estado, así como el análisis y diseño de circuitos secuenciales.

- Específicos.

Aprender el dominio digital y sus fundamentos. Enseñar los niveles lógicos de los sistemas digitales.
Instruirse en los sistemas numéricos digitales binario, octal y hexadecimal y la conversión entre números de bases diferentes.
Familiarizarse con los fundamentos de codificación digital numérica y alfanumérica de la información en un sistema digital.
Estudiar el álgebra de Boole y sus fundamentos teóricos.
Aplicar las funciones booleanas y su representación con compuertas lógicas.
Asimilar los diversos métodos de documentación de diagramas lógicos en las diversas lógicas.
Descubrir las características de la familia de circuitos integrados TTL 7400.
Ejercitar las técnicas de minimización combinatoria clásicas en especial los métodos de minimización con el álgebra de boole y de los Mapas de Karnaugh.
Dominar el procedimiento de análisis y diseño de circuitos combinatorios con compuertas estándar.
Conocer las reglas básicas para la búsqueda de fallas en circuitos digitales.
Emplear las técnicas contemporáneas de diseño de circuitos combinatorios basados en tecnología de media escala de integración (MSI) como son Multiplexores, Demultiplexores, Codificadores**,** Decodificadores, Circuitos aritméticos, etc. Entender las técnicas de análisis de circuitos secuenciales con reloj**.**
Dominar las técnicas de diseño de circuitos secuenciales autómatas tipo detectores de secuencias, contadores, etc.
Estudiar el problema de redundancia de estados y las técnicas de determinación de un modelo mínimo de comportamiento.
Conocer las técnicas de diseño de circuitos secuenciales con diagramas ASM.
Utilizar las técnicas contemporáneas de diseño usando módulos funcionales secuenciales basados en tecnología de media escala de integración como lo son contadores y registros de desplazamiento.
Ejercitarse en la utilización de software de computadoras para la simulación de circuitos digitales del tipo combinatorio y secuencial.

III. Plan temático

N0	UNIDAD	FORMAS ORGANIZATIVAS DE ENSEÑAZA (F.OE.)							TOTAL DE HORAS
		C	S	C.P	LAB.	G.C	T	P.R.C	
1	Sistemas numéricos y Códigos Binarios	6		2	4				**12**
2	Fundamentos del Diseño Digital	4		2	4				**10**
3	Análisis y Diseño de Circuitos Combinacionales	6		6	4				**16**
4	Diseño de Circuitos Combinacionales con MSI	6		4	4				**14**
5	Fundamentos de Maquinas Secuenciales	4		2	4				**10**
6	Análisis y Diseño de Maquinas Secuenciales	8		6	8				**22**
	TOTALES	**34**		**22**	**28**				**84**

VII. Bibliografía.
Materiales:
Apuntes de clase.
Folletos provistos por el profesor (Existen una serie de folletos elaborados por el departamento)
Guía de laboratorios

TEXTO BÁSICO

Sistemas Digitales, Principios y Aplicaciones, Tocci Ronald, Prentice Hall. 1992.

TEXTOS AUXILIARES

Diseño Digital, Mano Morris, Prentice Hall, 1987.

An Engineering Approach to Digital Design, Fletcher William, Prentice Hall, 1980.

TEXTOS COMPLEMENTARIOS

Fundamentos de Diseño Lógico y Computadoras, Mano Morris, Prentice Hall, 1987.

Sistemas Electrónicos Digitales, Mandado, Enrique. Alfaomega Grupo Editores, 1996.

The Art of Digital Logic Design, Winkel.

Digital Electronic A practical approach, Kleitz William, Prentice Hall. 1990.

6. Universidad de Stanford (EEUU): (Sólo disponible en Internet un resumen)

EE 108A. Digital Systems I—Digital circuit, logic, and system design. Digital representation of information. CMOS logic circuits. Digital transmission lines. Combinational logic design. Logic building blocks, idioms, and structured design. Sequential logic design and timing analysis. Clocks and synchronization. Finite state machines. Microcode control. Digital system design. Control and datapath partitioning. Lab. Prerequisite: ENGR 40. Corequisite for WIM: ENGR 102E.

4 units, Aut (Dally), Win (Gill)

EE 108B. Digital Systems II—The design of processor-based digital systems. Instruction sets, addressing modes, data types. Assembly language programming, low level data structures, introduction to operating systems and compilers. Processor microarchitecture, microprogramming, pipelining. Memory systems and caches. Input/output, interrupts, buses and DMA. System design implementation alternatives, software/hardware tradeoffs. Labs involve the design of processor subsystems and processor-based embedded systems. Prerequisite: 108A.

4 units, Win (Olukotun), Spr (Kozyrakis)

EE 275. Logic Design—Principles and techniques of logic design. Combinational circuit analysis (hazard detection); combinational circuit design including PLA, VLSI, and MSI techniques and testing techniques; IC logic, flipflop properties, sequential circuit analysis and synthesis for fundamental and pulse mode circuits, design for testability techniques. Prerequisite: 121 or equivalent.

3 units, Aut (Saxena), Win (McCluskey)

7.Universidad Central “Marta Abreu” de Las Villas (Cuba):

Electrónica Digital I.

Programa Analítico.

Carreras: Ingeniería en Telecomunicaciones y Electrónica e Ingeniería en Automática
Año: Tercero
Semestre: 1er. Semestre.
Fondo de tiempo: 64 horas (Ver P1).
Tipo de Examen: Final (4 horas).
Evaluaciones Parciales: 3 .
Planes Directores.
Autoevaluación de la asignatura.
Plan de Desarrollo Metodológico de la asignatura.

Conferencias(C): 20 horas
C Prácticas (CP): 20 horas + 6 horas para evaluaciones parciales (EP).
Seminarios (S): 4 horas.
Laboratorios reales (LR): 5 horas
Laboratorios con las microcomputadoras (LμC): 6 horas + 3 horas de evaluación final.

Objetivos:

1. Explicar las bases matemáticas sobre las que se sustenta el análisis y diseño digital (Álgebra de Boole), sus leyes y postulados.
2. Exponer y aplicar los procedimientos de diseño de circuitos combinacionales SSI, MSI y LSI en arquitecturas invariantes.
3. Diseñar y analizar sistemas combinacionales de media complejidad, aplicando los métodos estudiados.
4. Diseñar, analizar y simular sistemas digitales de media complejidad con la ayuda del ordenador.
5. Montar y comprobar el funcionamiento de sistemas combinacionales de media complejidad en el laboratorio.
6. Expresar y/o analizar en sentencias elementales del lenguaje de hardware VHDL (IEEE-1076) circuitos combinacionales típicos.

Bibliografía.

Bibliografía Básica.

- Digital Design, Principles and Practices. John F. Wakerly. Prentice Hall. 1995.

Bibliografía complementaria.

- Dispositivos Lógicos Programables. E. Mandado, L. J. Álvarez, Ma. D. Valdés. Editorial Thomson, 2002.
- Digital Design. M. Morris Mano. Prentice Hall. 1994.
- Microelectronics. Millman.
- Manual de circuitos integrados TTL. ENPES.

Sitios de Interés:

- http://www.digital.fie.uclv.edu.cu (red LAN de la Facultad de Ingeniería Eléctrica)
- http://www.ddpp.com (Digital Design Principles and Practices. John F. Wakerly)

Relación de Temas:

Tema I. Introducción al álgebra de Boole.
Fondo de tiempo: 13 horas (C4h, CP4h, LR3h, EP2h).
Introducción al álgebra de Boole. Funciones básicas. Teoremas y Postulados. Tablas de Verdad. Función de conmutación. Implementación con funciones básicas. Descripción en el lenguaje de hardware VHDL IEEE-1076/87 (behavioral y dataflow).

Tema II. Circuitos Integrados Digitales.
Fondo de tiempo: 12 horas (C4h, CP4h, LR2h, EP2h)
Circuitos Integrados Digitales. Tecnologías TTL y CMOS.

Tema III. Redes combinacionales multiterminales con SSI.
Fondo de tiempo: 12 horas (C4h, CP4h, S2h, LμC2h)

Redes combinacionales multiterminales. Diseño y Análisis con componentes SSI. Circuitos típicos: semisumador, sumador completo, decodificador/demultiplexor, multiplexor, codificador, convertidores de código, comparador, unidades aritmético-lógicas, etc. Métodos de simplificación. Introducción al uso del VHDL (IEEE-1076) y el OrCAD 9.0.

Tema IV. Diseño y Análisis con componentes MSI.

Fondo de tiempo: 14 horas (C4h, CP4h, S2h, LμC2h, EP2h)

Diseño y Análisis con componentes MSI. Circuitos integrados típicos: semisumador, sumador completo, decodificador/demultiplexor, multiplexor, codificador, convertidores de código, comparador, unidades aritmético-lógicas. Ampliación de la capacidad de decodificación o multiplexación, conexión en cascada, implementación de ALUs sencillas, etc. Definición de estos en VHDL IEEE-1076.

Tema V. Diseño combinacional con LSI.

Fondo de tiempo: 14 horas (C4h, CP4h, LμC2h, EP3h)

Diseño combinacional con LSI. Introducción a los Dispositivos Lógicos Programables (PLDs). Clasificación: memorias ROM y RAM, dispositivos PLA, PAL, GAL, EPLD y FPGA. Descripción de PLDs combinacionales típicos. Aplicaciones. Uso del VHDL para la descripción de estas.

Electrónica Digital II.

Programa Analítico.

Carreras: Ingeniería en Telecomunicaciones y Electrónica e Ingeniería en Automática.
Año: Tercero.
Semestre: 2do. Semestre.
Fondo de tiempo: 80 horas (Ver P1).
Tipo de Examen: Final (4 horas).
Evaluaciones Parciales: 3 .
Planes Directores.
Autoevaluación de la asignatura.
Plan de Desarrollo Metodológico de la asignatura.
Conferencias(C): 24 horas
C Prácticas (CP): 30 horas + 6 horas para evaluaciones parciales (EP).
Seminarios (S): 6 horas.
Laboratorios reales (LR): 2 horas
Laboratorios con las microcomputadoras (LμC): 12 horas.

Objetivos:

1. Fundamentar la necesidad de los sistemas secuenciales, tanto asincrónicos como sincrónicos.
2. Comparar ambos sistemas secuenciales, definiendo sus ventajas y desventajas y argumentando cada una de estas.
3. Representar las estructuras más generales de los Circuitos Secuenciales Asincrónicos (CSA) y Sincrónicos (CSS), así como explicar la relación entre sus partes.
4. Diseñar y analizar CSA con componentes SSI. Describirlos en VHDL (IEEE-1076/87).
5. Diseñar y analizar CSS con componentes SSI, MSI y LSI. Describirlos en VHDL.
6. Interpretar el funcionamiento de CSS típicos y analizar, a partir de estos, el funcionamiento de sistemas más complejos.
7. Diseñar, analizar y simular CSA y CSS con al ayuda de las herramientas computacionales existentes.

Herramientas Computacionales:

- OrCAD 9.0
- DigitalTools (desarrollada por MSc. J. P. Barrios, Ing. J. L. Pérez Saavedra e Ing. J. L. Izaguirre Vasallo). Permite la descripción de una tabla de estados/salida(s) y de forma automática su simplificación, asignación binaria, y descripción del sistema en VHDL.

Relación de Temas:

Tema I. Análisis y Síntesis (Diseño) de Circuitos Secuenciales Asincrónicos (CSA)
Fondo de tiempo: 16 horas (C6h, CP4h, S2h, LμC2h, EP2h).

Análisis y Síntesis (Diseño) de Circuitos Secuenciales Asincrónicos (CSA) con realimentación directa y/o cerrojos (latch).

Tema II. Multivibradores.
Fondo de tiempo: 10 horas (C4h, CP4h, LR2h)
Multivibradores. El disparador de Smitch. Biestables, monoestables y astables digitales SSI y MSI.

Tema III. Análisis y Diseño de Circuitos Secuenciales Sincrónicos (CSS) con SSI.
Fondo de tiempo: 16 horas (C4h, CP6h, S2h, LμC2h, EP2h).
Análisis y Diseño de Circuitos Secuenciales Sincrónicos (CSS) con SSI. Diseño de contadores sincrónicos y asincrónicos de módulo binario y no binario. Registros de desplazamiento. Contador de anillo y Johnson. Realización de diagramas de estado con SSI. Descripción de los mismos en VHDL.

Tema IV. Análisis y Diseño de CSS con componentes MSI.
Fondo de tiempo: 10 horas (C2h, CP4h, LμC2h, EP2h)
Análisis y Diseño de CSS con componentes MSI. Contadores 7416X. Registros de desplazamiento 74194 y 74198. Otros contadores y registros. Utilización de las entradas de control. Diseño de ejemplos típicos (reloj, divisores de frecuencia, contadores de diferentes bases, registros de desplazamiento de barras, etc.).

Tema V. Máquinas de Estado Algorítmico.
Fondo de tiempo: 14 horas (C4h, CP6h, S2h, LμC2h)
Máquinas de Estado Algorítmico (ASM). Diagramas ASM. Implementación de la Lógica de Control y el Procesador de Datos con dispositivos SSI y MSI. Uso del VHDL y el OrCAD 9.0. Orientación de la Tarea Extraclase.

Tema VI. Diseño de CSS con componentes LSI.
Fondo de tiempo: 14 horas (C4h, CP6h, LμC4h(evaluativo))
Clasificación de los CSS LSI y VLSI. Memorias RAM, PLDs secuenciales (PLA, PAL, EPLD, GAL, FPGA, etc.). Diseño de CSS con componentes LSI. Introducción a los procesadores secuenciales. Uso del VHDL y el OrCAD 9. Tendencias actuales del diseño digital. Evaluación de la Tarea Extraclase.

Anexo 5. Índices de los textos más actualizados a disposición de los estudiantes en el CDICT.

Texto: Fundamentals of Logics Design, Fourth Edition, Charles H. Roth, Jr. West Publishing Company, (1992).

1. Introducción.
2. Sistemas de Números y Conversiones.
3. Álgebra de Boole.
4. Simplificación Algebraica.
5. Aplicación del Álgebra de Boole.
6. Mapas de Karnaugh.
7. Método de Quine-MacCluskey.
8. Redes de Puertas de Multinivel, Puertas NAND y NOR.
9. Redes de Múltiples Salidas, Multiplexores, Decodificadores, Memorias de solo Lectura, y Arreglos Lógicos Programables.
10. Circuitos Integrados MSI en el Diseño de Redes Secuenciales.
11. Diseño de Redes Secuenciales con Dispositivos Lógicos Programables.
12. Redes para Adición y Sustracción.
13. Redes para Operaciones Aritméticas.
14. Diseño de Máquinas de Estado.
15. Análisis de Redes Secuenciales Sincrónicas.
16. Derivación y Reducción de Tablas de Flujo Primitivo.
17. Hazard.
18. Diseño de Redes Secuenciales Asincrónicas.

Texto: Principles of Digital Design, Daniel D. Gajski, Prentice-Hall, Inc. (1997).

1. Introducción.
1.1 Representaciones de Diseño.
1.2 Niveles de Abstracción.
1.3 Proceso de Diseño.
1.4 Herramientas CAD.
1.5 Proceso de Diseño Típico.
2. Representaciones y Tipos de Datos.
3. Diseño Lógico y Álgebra Booleana.
4. Simplificaciones de las Funciones Booleanas.
5. Componentes Combinacionales.
6. Lógica Combinacional.
7. Sistemas Secuenciales.
7.1 Modelo de diseño.
7.2 Definición de FSMD.
7.3 Tablas de Máquinas de Estado Algorítmicas.
7.4 Síntesis de Tablas ASM.
7.5 Diseño de Procesadores.

Texto: Digital Design Priciples & Practice, Third Edition Updated, John F. Wakerly, Prentice may, (2001). (Disponible también en formato electrónico en la Intranet).

1. Introducción.
- 1.1 Acerca del Diseño Digital.
- 1.2 Aspectos Electrónicos del Diseño Digital.
- 1.3 Aspectos de Software del Diseño Digital.

2. Sistemas de Números y Códigos.

3. Circuitos Digitales.
- 3.1 Lógica CMOS.
- 3.2 Lógica Bipolar.
- 3.3 Lógica de Emisor Acoplado.

4. Principios de Diseño Lógico Combinacional.
- 4.1 Análisis de Circuitos Combinacionales.
- 4.2 Síntesis de Circuitos Combinacionales.
- 4.3 Método de Minimización Programada.
- 4.4 Timing Hazards.
- 4.5 El Lenguaje de Descripción de Hardware ABEL.
- 4.6 El Lenguaje de Descripción de Hardware VHDL.

5. Práctica de Diseño Lógico Combinacional.
- 5.1 Estándares de la Documentación.
- 5.2 Sincronización de Circuitos.
- 5.3 PLDs Combinacionales.
- 5.4 Decodificadores.
- 5.5 Codificadores.
- 5.6 Dispositivos de Tres Estados.
- 5.7 Multiplexores.
- 5.8 Puerta OR exclusivo y Circuitos de Paridad.
- 5.9 Comparadores.
- 5.10 Sumadores, Restadores, y ALUs.
- 5.11 Multiplicadores Combinacionales.

6. Ejemplos de Diseño de Circuitos Combinacionales.
- 6.1 Ejemplos de Diseño de Bloques.
- 6.2 Ejemplos de Diseño usando ABEL y PLDs.
- 6.3 Ejemplos de Diseño usando VHDL.

7. Principios de Diseño Lógico Secuencial.
- 7.1 Elementos Biestables.
- 7.2 Latches y Flip-Flops.
- 7.3 Análisis Síncrono de Máquinas de Estado.
- 7.4 Diseño Síncrono de Máquinas de Estado.
- 7.5 Diseño de Máquinas de Estado usando Diagramas de Estado.
- 7.6 Síntesis de Máquinas de Estado usando Listas de Transición.
- 7.7 Ejemplos de Diseño de otras Máquinas de Estado.
- 7.8 Descomposición de Máquinas de Estado.
- 7.9 Circuitos Secuenciales de Realimentación.
- 7.10 Diseño de Circuitos Secuenciales Realimentados.
- 7.11 Características de Diseño de Circuitos Secuenciales con ABEL.
- 7.12 Características de Diseño de Circuitos Secuenciales con VHDL.

8. Práctica de Diseño Lógico Secuencial.
- 8.1 Estándares de Documentación de Circuitos Secuenciales.
- 8.2 Latches y Flip-Flops.
- 8.3 PLDs Secuenciales.

8.4 Contadores.
8.5 Registros de Cambio.
8.6 Circuitos Secuenciales Contra Iterativos.
8.7 Metodología de Diseño Síncrono.
8.8 Impedimentos para el Diseño Síncrono.
8.9 Falla y Metaestabilidad del Sincronizador.

9. Ejemplos de Diseño de Circuitos Secuenciales.
9.1 Ejemplos de Diseño Usando ABEL y PLDs.
9.2 Ejemplos de Diseño usando VHDL.

10. Memory, CPLDs, and FPGAs.
10.1 Memoria de sólo Lectura.
10.2 Memoria de Escritura / Lectura.
10.3 RAM Estática.
10.4 RAM Dinámica.
10.5 Dispositivos Lógicos Programables Complejos.
10.6 Arreglos de Puerta Programable de Campo.

11. Temas Adicionales del Mundo Real.
11.1 Herramientas de Diseño Asistido por Computador (CAD).
11.2 Diseño para la Verificación.
11.3 Estimación de la Confiabilidad del Sistema Digital.
11.4 Líneas de Transmisión, Reflexiones, y Terminación.

Texto: Logic and Computer Design Fundamentals, M. Morris Mano, Charles R. Kime, Prentice-Hall, Inc. (1997).

1. Información y Computadores Digitales.

2. Circuitos Lógicos Combinacionales.

3. Diseño Lógico Combinacional.
3.1 Circuitos Combinacionales.
3.2 Temas de Diseño.
3.3 Procedimiento de Análisis.
3.4 Procedimiento de Diseño.
3.5 Circuitos Típicos.

4. Circuitos Secuénciales.
4.1 Definición de Circuito Secuencial.
4.2 Cerrojos.
4.3 Flip-Flops.
4.4 Análisis de Circuitos Secuénciales.
4.5 Diseño de Circuitos Secuénciales.

5. Contadores y Registros.

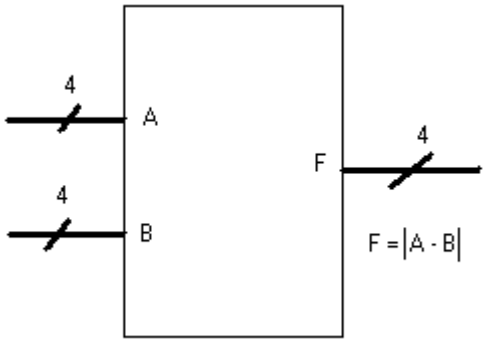
6. Dispositivos Lógicos Programables y Memorias.

7. Registros de Transferencia y Vías de Datos (datapath).
7.1 Vías de Datos y Operaciones.
7.2 Operaciones de Registros de Transferencia.
7.3 Microoperaciones.
7.4 Transferencia Basada en Multiplexores.
7.5 Transferencia Basada en Bus.
7.6 Vías de Datos.
7.7 La Unidad Lógica Aritmética (ALU).
7.8 El Registro.
7.9 Representación de Vías de Datos.

7.10 La Palabra de Control.
7.11 Vías de Datos para procesamiento por lotes.
8. Control y Secuenciamiento.
8.1 La Unidad de Control.
8.2 Máquinas Algorítmicas de Estado.
8.3 Control Cableado.
8.4 Control Microprogramado.
8.5 Arquitectura de Computadora Sencilla.
8.6 Control Cableado de Ciclo Simple.
8.7 Control Programado de Ciclo Múltiple.
8.8 Control Pipeline.
9. Arquitectura Set de Instrucciones.
9.1 Conceptos de Arquitectura de Computadora.
10. Diseños de Unidad de Procesamiento Central.
10.1 Dos Diseños de CPU.
10.2 El Set de Instrucciones de Computadoras Complejo (CISC).
10.3 El Set de Instrucciones de Computadoras Reducido (RISC).
10.4 Más en Diseño.
11. Comunicación y Entrada-Salida.
12. Sistemas de Memoria.
12.1 Jerarquía de Memoria.
12.2 Localidad de Referencia.
12.3 Memoria Cache.
12.4 Memoria Virtual.

Anexo 6. Estrategia de diseño de sistemas combinacionales con ayuda de un lenguaje de descripción de hardware.

- Diseñe un circuito que permita determinar el módulo entre A y B, según muestra la figura:



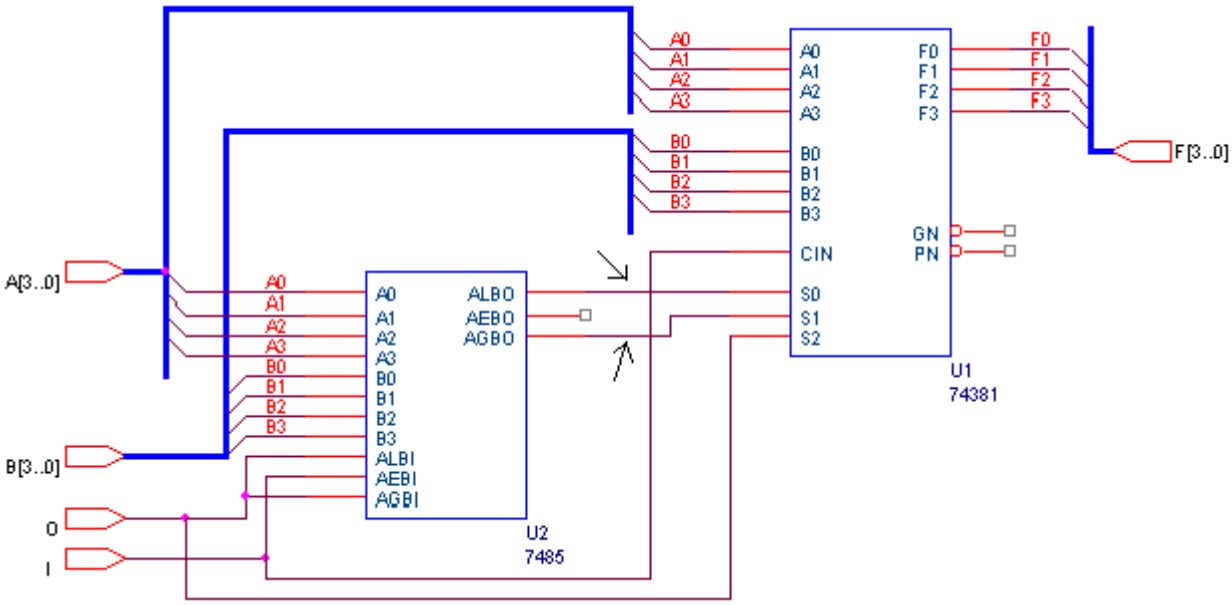
Solución:

El módulo de A y B es la resta de A menos B (si A es mayor que B) o de B menos A (si B es mayor que A), una posible descripción del mismo en un lenguaje formal como VHDL se muestra :

```
Library ieee;
Use ieee.std_logic_1164.all;
Use ieee.numeric_std.all;
entity modulo is
      port (A, B: in std_logic_vector(3 downto 0);
                  F: out std_logic_vector(3 downto 0));
end modulo;

architecture behavior of modulo is
begin
   process (A, B)
      begin
         if A > B   then;    -- se necesita de un comparador
                        F <= std_logic_vector(unsigned(A) - unsigned(B));
                     else
                        F <= std_logic_vector(unsigned(B) - unsigned(A));
                     -- se necesita de una ALU
         end if;
   end process;
end behavior;
```

Como se observa de la descripción se necesitan de módulos MSI tales como un comparador, una ALU capaz de realizar las operaciones de resta tanto de A - B como de B - A o bien un selector de datos que permita realizar el intercambio de los datos si la ALU sólo puede realizar la resta A - B. Una solución, utilizando el comparador 74XXX85 y la ALU 74XXX381, se muestra en la figura:



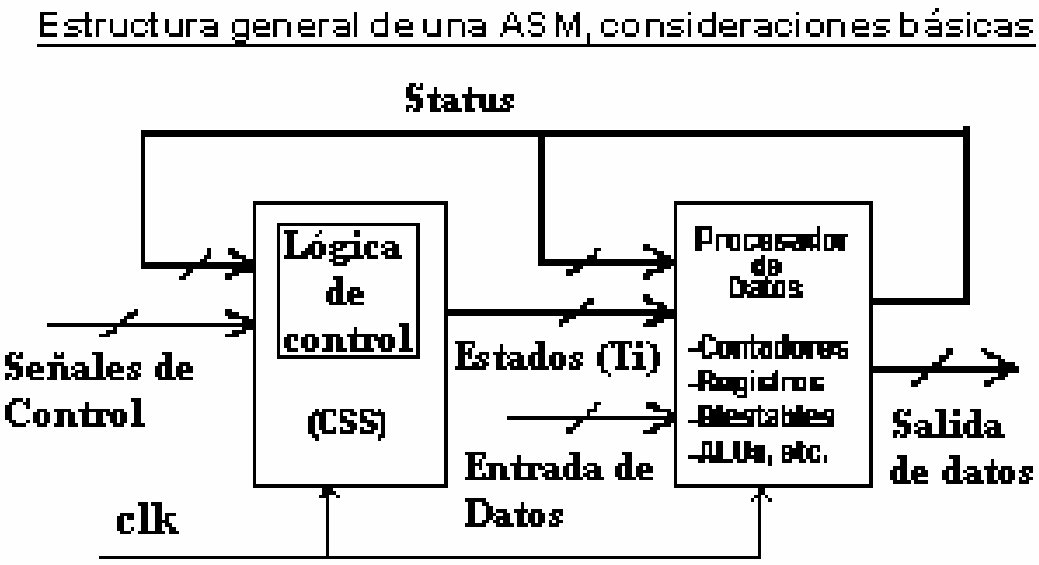
Las líneas señaladas con las flechas constituyen la lógica combinacional de "pegamento" que enlaza las salidas del comparador con las entradas de control de la ALU de acuerdo con la siguiente tabla:

Resultado de la Comparación	Función que debe realizar la ALU	Valores de S2, S1, S0
ALBO	B menos A	0 0 1
AGBO	A menos B	0 1 0

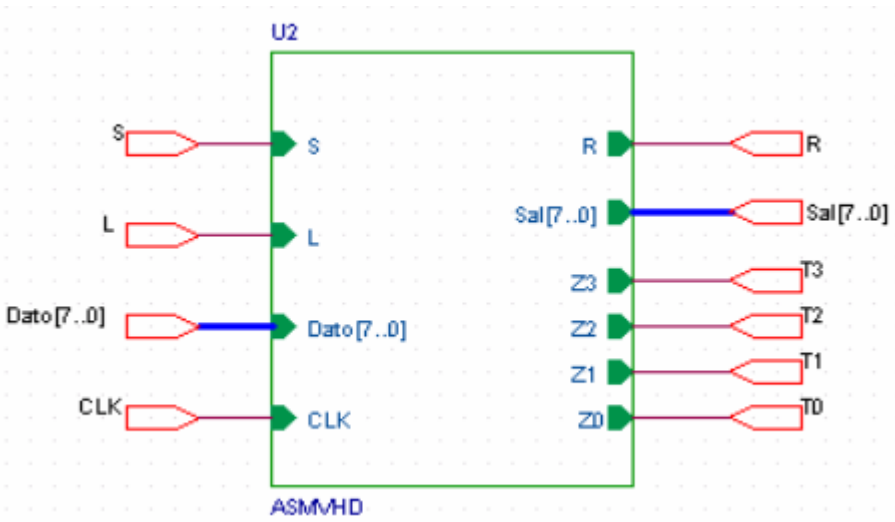
Como se observa, en este caso no se requiere de una lógica SSI adicional, pero en otras situaciones sería necesario establecer una tabla de verdad que tenga como entradas las salidas del MSI anterior (en este caso el comparador) y como salidas, las entradas del MSI siguiente (en este caso la ALU) para obtener las ecuaciones de la "glue logic".

Anexo 7. Estrategia de diseño de sistemas procesadores digitales secuenciales sincrónicos con ayuda de un lenguaje de descripción de hardware.

Problema: Se desea el diseño de un circuito que sea capaz de determinar la cantidad de datos de 8 bits iguales a cero. Las entradas del circuito, además de la entrada de 8 bits son: las señales S y L. El mismo debe cumplir con que cuando S =1 se comienza el proceso y cada vez que L sea igual a 1 es que hay un nuevo dato. El circuito posee una salida de 8 bits que informa sobre la cantidad de datos iguales a cero. Además posee una salida R que es 1 cuando L es 1 y va a 0 cuando L = 0. La cantidad de datos nunca será mayor que 255 y el primer dato que se lee representa la cantidad de datos a leer.



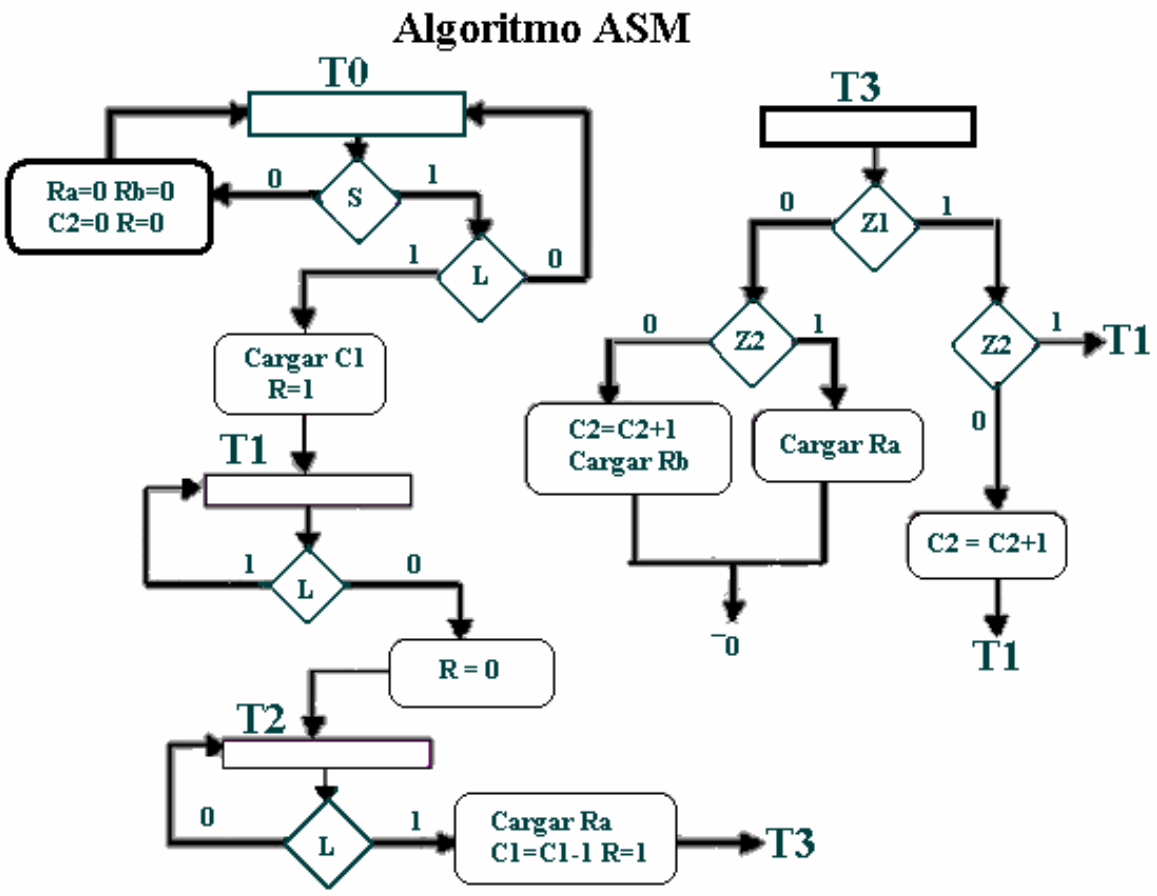
Bloque General:



Descripción en VHDL

```
ENTITY ASMVHD is
        PORT (
                S       : IN STD_LOGIC;
                L       : IN STD_LOGIC;
                CLK     : IN STD_LOGIC;
                Dato    : IN STD_LOGIC_VECTOR (7 DOWNTO 0);
                Z0      : OUT STD_LOGIC;
                Z1      : OUT STD_LOGIC;
                Z2      : OUT STD_LOGIC;
                Z3      : OUT STD_LOGIC;
                Sal     : OUT STD_LOGIC_VECTOR (7 DOWNTO 0);
                R       : OUT STD_LOGIC);
        END ASMVHD;
ARCHITECTURE behavior OF ASMVHD IS
        Type estado is (T0,T1,T2,T3);
        signal ep, es: estado:=T0;
        signal Cont1, Cont2, RegA, RegB: unsigned(7 downto 0);
        signal VR: STD_LOGIC;
BEGIN
        process(ep,S,L,CLK)
                begin
                case ep is
                        when T0 => Z0 <='1'; Z1<='0'; Z2<='0'; Z3<='0';
                                if S='0' then
                                        if CLK = '1' and CLK' event then
                                                RegA <= "00000000";
                                                RegB <= "00000000";
                                                Cont2 <= "00000000";
                                        end if;
                                                VR <= '0';
                                                es <= T0;
                                elsif S='1' and L='0' then
                                                es <= T0;
                                elsif S='1' and L='1' then
                                        if CLK = '1' and CLK' event then
                                                Cont1 <= unsigned(Dato);
                                        end if;
                                                VR <= '1';
                                                es <= T1;
                                end if;
                          when T1 => Z0 <='0'; Z1<='1'; Z2<='0'; Z3<='0';
                                        if L='1' then
                                                es <= T1;
                                           else
                                                VR <= '0';
```

```
                                        es <= T2;
                                end if;
                        when T2 => Z0 <='0'; Z1<='0'; Z2<='1'; Z3<='0';
                                if L='0' then
                                        es <= T2;
                                else
                                        if CLK = '1' and CLK' event then
                                                RegA <= unsigned(Dato);
                                                Cont1 <= Cont1 - 1;
                                        end if;
                                VR <= '1';
                                es <= T3;
                                end if;
                         when T3=> Z0 <='0'; Z1<='0'; Z2<='0'; Z3<='1';
                                if Cont1 = "00000000" and  RegA = "00000000" then
                                        if CLK = '1' and CLK' event then
                                                Cont2 <= Cont2 + 1;
                                                RegB <= unsigned(Cont2);
                                        end if;
                                        es <= T0;
                                elsif Cont1 = "00000000" and  RegA /= "00000000" then
                                        if CLK = '1' and CLK' event then
                                                RegB <= unsigned(Cont2);
                                        end if;
                                        es <= T0;
                                elsif Cont1 /= "00000000" and  RegA = "00000000" then
                                        if CLK = '1' and CLK' event then
                                                Cont2 <= Cont2 + 1;
                                        end if;
                                        es <= T1;
                                elsif Cont1 /= "00000000" and  RegA /= "00000000" then
                                        es <= T1;
                                end if;
                        end case;
        end proc        ess;
        Sal <= STD_LOGIC_VECTOR(RegB);
        process(es, CLK)
                begin
                        if CLK = '1' and CLK' event then
                                ep <= es;
                                R <= VR;
                        end if;
                end process;
END behavior;
```


Algoritmo ASM
T0
Ra=0 Rb=0
C2=0 R=0
S
0
1
L
1
0
Cargar C1
R=1
T1
L
1
0
R = 0
T2
L
0
1
Cargar Ra
C1=C1-1 R=1
T3
T3
Z1
0
1
Z2
0
1
C2=C2+1
Cargar Rb
Cargar Ra
0
Z2
1
T1
0
C2 = C2+1
T1