

Universidad Central “Marta Abreu” de Las Villas
Facultad de Ingeniería Eléctrica
Departamento de Telecomunicaciones y Electrónica.



TRABAJO DE DIPLOMA

**El FPGA EP1C12Q240I7N en las tarjetas del Sistema
Receptor del Grupo Antiaéreo Pechora**

Autor:

Nadier Alberto Mendoza Elizondo

Tutor:

Ing. Erisbel Orozco Crespo

Tesis Presentada en Opción a la Ingeniería en
Telecomunicaciones y Electrónica

Santa Clara

2014

“Año 56 de la Revolución”

Universidad Central “Marta Abreu” de Las Villas
Facultad de Ingeniería Eléctrica
Departamento de Telecomunicaciones y Electrónica



TRABAJO DE DIPLOMA

**El FPGA EP1C12Q240I7N en las tarjetas del Sistema
Receptor del Grupo Antiaéreo Pechora.**

**Tesis presentada en opción a la Ingeniería en
Telecomunicaciones y Electrónica.**

Autor: Nadier Alberto Mendoza Elizondo

E-mail: nmendoza@uclv.edu.cu

Tutor: Ing. Erisbel Orozco Crespo

E-mail: erisbel@uclv.edu.cu

Santa Clara

2014

"Año 56 de la Revolución"



Hago constar que el presente trabajo de diploma fue realizado en la Universidad Central “Marta Abreu” de Las Villas como parte de la culminación de estudios de la especialidad de Ingeniería en Telecomunicaciones y Electrónica, autorizando a que el mismo sea utilizado por la Institución, para los fines que estime conveniente, tanto de forma parcial como total y que además no podrá ser presentado en eventos, ni publicados sin autorización de la Universidad.

Firma del Autor

Los abajo firmantes certificamos que el presente trabajo ha sido realizado según acuerdo de la dirección de nuestro centro y el mismo cumple con los requisitos que debe tener un trabajo de esta envergadura referido a la temática señalada.

Firma del Tutor

Firma del Jefe de
Departamento donde se
defiende el trabajo

Firma del Responsable de
Información Científico-Técnica

PENSAMIENTO

“No vamos a sentarnos y hacer un alto en el camino para pensar

cuáles serán

nuestros próximos pasos, vamos a pensar caminando, vamos a

aprender

creando y también, por qué no, equivocándonos.”

Ché

AGRADECIMIENTOS

A mis padres y en especial a mi mamá por ser lo más importante en mi vida.

A mi hermana por pensar siempre en mí, por su apoyo incondicional.

A mi tutor por su valiosa ayuda.

A mi novia por enseñarme el camino cuando parecía que todo estaba perdido.

A mis compañeros de curso.

A toda mi familia por su espera constante sin pedir nada a cambio.

A Yosvany y Lourdes por acogerme y soportarme.

Al claustro de profesores que me impartieron los conocimientos.

A la Revolución, por la oportunidad que me ha dado de ser quien soy.

Gracias.

DEDICATORIA

*A mi madre, a ella debo quien soy, agradezco
infinitamente su gran educación y ejemplo.*

TAREA TÉCNICA

Para confeccionar el presente trabajo y alcanzar los resultados esperados, se plantearon las tareas técnicas siguientes:

- Realización de un estudio sobre los temas relacionados con el hardware lógico programable.
- Descripción del funcionamiento general del Complejo Pechora, con énfasis en el Sistema Receptor dentro de la Estación de Conducción de Cohetes.
- Determinación de los roles de la FPGA EP1C12Q240I7N sobre todo en la T314.
- Caracterización de la herramienta de simulación Quartus II para emplearla en la ingeniería inversa.
- Elaboración del informe final del Trabajo de Diploma.

Firma del Autor

Firma del Tutor

RESUMEN

El FPGA EP1C12Q240I7N pertenece a la familia *Cyclone* de Altera. El mismo constituye un elemento fundamental en las arquitecturas de las tarjetas del Sistema Receptor de la Estación de Conducción de Cohetes S125MIA, también conocida como *Pechora*. La presente investigación se centra en el estudio del FPGA anteriormente mencionado, así como en el análisis del código fuente que se encuentra implementado en el interior de la tarjeta 314. El proyecto se encuentra vinculado al proceso de modernización de la técnica de combate, aspecto crucial para garantizar la completa disposición combativa de la nación, sobre todo cuando la tecnología y la ciencia en las potencias del primer mundo marchan cada vez más tomadas de las manos. Se presenta el Quartus II como herramienta de software a utilizar. El aporte consiste en un análisis al diseño que se tiene para la T314, de manera que se logre mayor comprensión al respecto de su funcionamiento.

ÍNDICE

TAREA TÉCNICA.....	i
RESUMEN	ii
INTRODUCCIÓN.....	1
CAPÍTULO 1. GENERALIDADES PARA EL DISEÑO BASADO EN EL EP1C12Q240I7N 4	
1.1 La familia de dispositivos <i>Cyclone</i> de Altera	4
1.1.1 Arquitectura de la familia de FPGAs <i>Cyclone</i>	7
1.1.2 El FPGA EP1C12Q240I7N	11
1.2 Lenguajes de descripción de hardware (HDL).....	13
1.2.1 <i>Altera Hardware Description Language</i> (AHDL)	14
CAPÍTULO 2. FUNDAMENTOS PARA EL ANÁLISIS DEL SISTEMA RECEPTOR DEL PECHORA 16	
2.1 La Estación de Conducción de Cohetes S125MIA “Pechora”	16
2.2 Rol del Sistema Receptor dentro de las funciones del grupo antiaéreo	20
2.3 Sobre el análisis de sistemas basados en FPGA.....	25
CAPÍTULO 3. ANÁLISIS DEL MODELO EN QUARTUS II PARA LA T314.....	29
3.1 Descripción del proyecto de Quartus encontrado para la T314	29
3.2 Resumen del análisis de cada bloque	30
3.2.1 Bloques altpll0 y clk_5Mhz	30
3.2.2 Bloques lpm_dff2 y reset.....	32
3.2.3 Bloque sb4_rec	33
3.2.4 Bloques fai_agc_ro_1 y fai_agc_ro_2	35
3.2.5 Bloque com_process	37

3.2.6 Bloque led_cont	38
CONCLUSIONES	39
RECOMENDACIONES	40
REFERENCIAS BIBLIOGRÁFICAS	41
GLOSARIO	¡Error! Marcador no definido.
ANEXOS	44
Anexo 1: Diagrama en bloques de un dispositivo EP1C12, tomado de (1).....	44
Anexo 2: Esquema del LAB de Cyclone (1)	45
Anexo 3: Esquema de un LE según (1)	46
Anexo 4: Estructura del PLL de la familia de dispositivos Cyclone y sus señales para el QuartusII (1)	47
Anexo 5 Parte de alta frecuencia del receptor	48
Anexo 6 Flujo de diseño a línea de comandos.....	49

INTRODUCCIÓN

El desarrollo vertiginoso de la tecnología y la electrónica ha propiciado que la fuerza de combate enemiga marche rumbo a la perfección y la inteligencia, ello sugiere que una constante innovación sea imprescindible y necesaria dentro de las organizaciones encargadas de la defensa nacional. En aras de contrarrestar efectivamente la táctica del enemigo, la Defensa Antiaérea y la Fuerza Aérea Revolucionaria (DAAFAR) se encuentran modernizando la técnica combativa en lugar de reemplazarla, debido al costo tan elevado de los nuevos sistemas de combate. En nuestro país se ha optado por la renovación de los equipos antiguos para alargar sus vidas operativas.

Dentro del programa de modernización y desarrollo del armamento que lleva a cabo la DAAFAR, se encuentra la estación de conducción de artículos S125MIA *Pechora* a la cual se le digitalizó la cabina de mando. El sistema *Pechora* anteriormente estaba implementado con antiguos sistemas analógicos que se caracterizaban por sus grandes dimensiones, lo que dificultaba el desplazamiento en el terreno.

En la cabina de mando digitalizada, hay un grupo de tarjetas funcionales denominadas T311, T312, T313, T314, de las cuales la T314 será abordada en este trabajo. Estas tarjetas están constituidas con componentes de lógica reconfigurable y se conocen de estas sus esquemas electrónicos, su destinación, pero no así su funcionamiento interno.

Dichas tarjetas emplean como dispositivo programable FPGAs (Arreglos de Compuertas Lógicas Programables). Estos son cada vez más usados en la industria electrónica debido a su posibilidad de reconfiguración, lo cual minimiza la necesidad de realizar modificaciones de hardware durante actualizaciones tecnológicas a un diseño y a su capacidad para ejecutar operaciones de forma concurrente.

El desconocimiento de cómo se procesan las señales en el interior de estas tarjetas implementadas con electrónica programada, ha obstaculizado la solución de problemáticas presentadas en la cabina de mando tales como corrección de algunas fallas o el ajuste de las

prestaciones del complejo Pechora según las necesidades tácticas de las DAAFAR. A pesar de esta situación el complejo se encuentra en completa disposición combativa.

Aprovechando la oportunidad de tener los códigos fuentes que están en los componentes programables de las tarjetas y conociendo el formato de solo algunas señales de entrada presentes en sus conectores, es posible, mediante la ingeniería inversa al hardware programado, obtener la funcionalidad de las mismas. La aplicación de ingeniería inversa no cambia la funcionalidad del software sino que es el proceso mediante el cual una tecnología o producto es analizado, con el fin de conocer los componentes que lo integran y la forma en que interactúan, para lograr comprender su modo de funcionamiento hasta el punto que se pueda llegar a modificar y mejorar, con el objetivo probable de construir una tecnología similar.

El presente trabajo pretende descifrar los algoritmos de funcionamiento interno de la tarjeta T314 en su contexto, para facilitar su futura modificación y desarrollo en la DAAFAR. Esto trae como beneficio un ahorro económico, de ahí la importancia que tiene la realización de esta investigación. Teniendo en cuenta lo anterior, se plantea el siguiente problema de investigación: ¿Qué hacer para obtener la funcionalidad en su contexto de la tarjeta T314 a partir del diseño que se supone esté en el componente programable FPGA de esta y así aportar al desarrollo del complejo *Pechora*?

La investigación tiene como **objeto de estudio** el diseño para el componente FPGA de la tarjeta T314 y el **campo de acción** lo constituye la obtención del funcionamiento dicho módulo para su futura modificación y desarrollo en la DAAFAR.

Para dar respuesta al problema de investigación se propone como objetivo general: analizar el diseño correspondiente a la T314 para así determinar lo mejor posible su funcionamiento en términos de la cabina de dirección. Este objetivo se derivó en los siguientes objetivos específicos:

1. Analizar las particularidades de la FPGA EP1C12Q240I7N desde su arquitectura hasta su configuración con lenguajes de descripción de hardware.
2. Describir el funcionamiento general del complejo Pechora, especificando el trabajo del Sistema Receptor dentro de la Estación de Conducción de Cohetes.

3. Exponer de ser posible la formación de las señales en los puertos de entrada y salida de la T314 y en cualquier caso la funcionalidad de dicha tarjeta desde el análisis en Quartus II del diseño con el que se cuenta.

De los objetivos específicos surgen las siguientes interrogantes científicas:

- ¿Qué características posee el EP1C12Q240I7N, así como los Lenguajes de Descripción de Hardware en el contexto de diseño de Altera?
- ¿Cuál es el flujo de diseño con el Quartus II y en qué medida este flujo está reflejado en proyecto para la T314?
- ¿Cómo analizar los bloques esquemáticos y códigos VHDL presentes en el diseño para la T314?

El informe se ha estructurado de la siguiente manera: introducción, tres capítulos, conclusiones, recomendaciones, referencias bibliográficas y anexos.

El primer capítulo aborda las características de la familia de dispositivos *Cyclone* de Altera. Se refiere en particular al FPGA EP1C12Q240I7N presente en las tarjetas T311, T312, T313 y en la T314. Se aborda además el lenguaje AHDL desde el punto de vista de su papel en un flujo de diseño de Altera.

En el segundo capítulo se describe el funcionamiento general del complejo *Pechora*, se expone el rol del sistema receptor, destacándose el papel que juega cada una de estas tarjetas para el funcionamiento como un todo de este. Se caracteriza la herramienta de simulación Quartus II.

En el último capítulo se expone un análisis de la T314 a partir de descripciones del código y esquemáticos para esta.

CAPÍTULO 1. GENERALIDADES PARA EL DISEÑO BASADO EN EL EP1C12Q240I7N

Debido a su flexibilidad, reconfiguración y capacidad para ejecutar operaciones de forma paralela, los FPGAs son muy utilizados en la industria electrónica. El diseño de aplicaciones para implementar en estos dispositivos se realiza comúnmente mediante lenguajes de descripción de hardware.

En este capítulo se abordan las características generales de la familia *Cyclone* de Altera, con particular énfasis en el EP1C12Q240I7N, del que se exponen sus principales particularidades: arquitectura, configuración, características de conmutación, estándares involucrados, administración de reloj y memoria, consideraciones para el diseño, encapsulado físico, etc. Además se abordan temas de interés sobre los lenguajes de descripción de hardware (HDL), sobre todo del AHDL, pues en este están escritos casi todos los códigos fuentes para la FPGA de las tarjetas T311, T312, T313 y T314. Además se muestran procedimientos que se utilizan para la ingeniería inversa de sistemas programados en FPGA.

1.1 La familia de dispositivos *Cyclone* de Altera

Existen dos grandes fabricantes de dispositivos lógicos programables en la actualidad. *Xilinx Inc.* es la empresa considerada como fundadora de muchas de las arquitecturas y que además es líder en el mercado. La otra empresa importante es *Altera Corporation*. Ambas defienden desde su línea arquitecturas y familias de productos diferentes (ver Figura 1.1). El interés de este trabajo está centrado en un chip FPGA de *Altera*, concretamente de la familia de productos *Cyclone*.



Figura 1.1 Cotización en la bolsa de valores de las empresas Altera y Xilinx, como principales fabricantes de dispositivos lógicos programables. Imagen elaborada a partir de la información del servicio de Google para la bolsa de valores.

Los *chips* FPGA de la familia *Cyclone* están fabricados mediante un proceso SRAM de 0.13 μ m-1.5V con cobre en todas las capas, pueden llegar a densidades hasta de 20060 elementos lógicos (*Logic Elements*, LEs) y 288 Kbits de RAM. Los dispositivos de *Cyclone* son una solución rentable para aplicaciones que incluyen unidades funcionales controladas que realizan procesamiento de datos, es decir para aplicaciones *datapath*; pues tienen incorporadas características como PLLs (*Phase-Locked Loops*) para la distribución de las señales de reloj e interfaces dedicadas que satisfacen los requerimientos de memorias DDR SDRAM (*Double Data Rate Synchronous Dynamic Random-access Memory*) y FCRAM (*Fast Cycle Random-access Memory*). Los dispositivos *Cyclone* también soportan varios estándares de I/O¹ entre los cuales están: señalización diferencial de bajo voltaje o LVDS (*Low-voltage Differential Signaling*) para razones de datos de hasta 640Mbps y PCI (*Peripheral Component Interconnect*) con *bus* de 64 o 32 bits y frecuencia de *bus* de 66 o 33 MHz.

En resumen, la familia *Cyclone* tiene los rasgos siguientes:

- 2910 a 20,060 LEs.
- Hasta 294912 bits de RAM (36864 bytes).

¹ En español existe en algunos libros el acrónimo E/S para referirse a la entrada/salida, sin embargo en este trabajo se emplea I/O por mayor correspondencia con las fuentes bibliográficas que más abundan en el tema.

- Soporte para las normas de I/O LVTTTL, LVCMOS, SSTL-2, y SSTL-3 (*Stub Series Terminated Logic*).
- Soporte para la norma PCI con *bus* de 64 o 32 bits y frecuencia de *bus* de 66 o 33Mhz.
- Interfaces LVDS de alta velocidad que pueden alcanzar 640 Mbps.
- Interfaces LVDS de baja velocidad de hasta 311 Mbps.
- Soporte para I/O RSDS de 311 Mbps.
- Hasta dos PLLs por dispositivo que permiten multiplicación del reloj y desplazamiento de fase.
- Hasta ocho líneas del reloj globales, con seis recursos de reloj disponibles por fila de arreglo de bloques lógicos o LAB (*Logic Array Block*).
- Soporte para memoria externa DDR SDRAM de 133 MHz, FCRAM y SDR SDRAM.

En las Tablas 1-1 y la 1-2 de (1) se especifican las características anteriormente mencionadas para los distintos tipos de dispositivos de la familia *Cyclone*.

Los dispositivos *Cyclone* están disponibles en encapsulados *Quad Flat Pack (QFP)* y *Ball grid array FineLine®* de pequeña área. Esto está relacionado con las características físicas de dimensiones, cantidad de pines, material y diseño del encapsulado. El resumen de estas características está recogido en las Tablas 1-3 y 1-4 de (1).

Una de las características más importantes de los fabricantes de PLDs es el soporte técnico, tanto en documentación como en herramientas y otras formas como cursos de capacitación. A partir de una breve inspección del sitio web de Altera sobre los dispositivos de la familia *Cyclone* se encontró una amplia documentación en (2).

Resalta el hecho de confundir la familia *Cyclone* con el nombre general de la serie de FPGAs, de la cual existen hasta ahora cinco familias (3). Cada una de las familias tiene características diferentes que las hacen más o menos apropiadas para ciertas aplicaciones, por ejemplo, en (4) se exponen las diferencias en las familias *Cyclone* y *Cycone II*. Para ayudar a la selección del dispositivo apropiado según la necesidad del usuario, Altera brinda una herramienta online que permite: selección por dispositivo o según el núcleo de propiedad intelectual o según el *kit* de desarrollo (5).

1.1.1 Arquitectura de la familia de FPGAs *Cyclone*

En los trabajos consultados y bibliografía en general se hace alusión a una arquitectura de FPGAs que es propia de los dispositivos de Xilinx. En el caso de Altera es diferente, pues se trata de una arquitectura con granularidad gruesa en cuanto a la agregación de bloques lógicos. Además presenta una red de interconexión más compleja que Xilinx, dotada de muchos recursos y características. Aunque de cualquier forma, existe una variante equiparable para cada dispositivo en la contraparte, así lo demuestra Altera en (6).

Los dispositivos de la familia *Cyclone* están constituidos por una arquitectura basada en arreglos bidimensionales de filas y columnas. Las interconexiones entre filas y columnas permiten diferentes velocidades para conectar los LABs y los bloques de memoria empotrados en el chip. En el Anexo 1 se presenta el diagrama en bloques de la arquitectura de un dispositivo EP1C12, de interés para este trabajo.

Los LABs aparecen en filas y columnas dentro del dispositivo. Cada LAB está constituido a su vez por 10 LEs, cadena de acarreo de LEs, señales de control, una interconexión local, cadena de LUTs (*Look-Up Table*), y líneas de conexión de cadenas de registros. Las interconexiones locales transfieren las señales entre los LEs dentro del mismo LAB. Las conexiones en cadena de LUTs transfieren la salida de un LUT al LE adyacente para lograr conexiones secuenciales rápidas de LUTs dentro del mismo LAB. Las conexiones en cascada de registros transfieren la salida de un registro al registro en LE adyacente dentro del mismo LAB (ver Anexo 2).

Un LE es una unidad pequeña que permite la realización eficiente de funciones lógicas de usuario (ver Anexo 3). Cada LE contiene una LUT de cuatro-entradas, que no es más que un generador de funciones de cuatro variables. Además, cada LE contiene un registro programable y una unidad para el acarreo² que permite la selección entre las distintas señales de acarreo. Cada LE maneja todos los tipos de interconexión: local, de fila, de columna, cadena LUT, cadena de registro, e interconexión de enlace directo.

² Acarreo en electrónica se refiere a señales que propagan el acarreo de operaciones aritméticas, pero también, como en este caso, se refiere a la propagación de señales entre unidades como registros y contadores conectados en cadenas o cascadas.

Los bloques M4K RAM son de doble puerto con 4 Kbits de memoria más los bits de paridad, para un total de 4608 bits. Cada uno de estos bancos brinda 36 bits a 250MHz en modo doble puerto real, doble puerto simple o de simple puerto. Estos bloques están ubicados en columnas entre ciertos LABs. En la Tabla 7-1 de (1) se resumen las principales características de estos bloques de memoria. Además de los tres modos anteriores, la memoria del chip puede funcionar como registro de desplazamiento, ROM o búfer FIFO; con una riqueza estructural amplia y muy bien descrita en (1).

Cada pin I/O en el dispositivo *Cyclone* es alimentado por un elemento I/O (IOE), localizado al final de filas y columnas de los LABs en la periferia del dispositivo. Estos pines soportan varias normas de I/O para un solo terminal y para terminales diferenciales; son las mencionadas anteriormente. Cada IOE contiene un buffer de I/O bidireccional y tres registros para el manejo de las señales de entrada, salida y habilitación de salida (ver Figura 1.2). Otros pines como los DQS (7), DQ (8) y DM (9) proveen al dispositivo de una interfaz que permite la comunicación con dispositivos externos DDR SDRAM y FCRAM a velocidades de 133MHz, equivalente a 266Mbps. Los estándares permitidos por estos bloques se pueden consultar en los capítulos 8 y 9 de (1); un resumen en la Tabla 8-1. Además, los dispositivos *Cyclone* agregan los pines de I/O en cuatro bancos. Los bancos I/O 1 y 3 soportan todas las normas de I/O alistadas en la Tabla 8-1 de (1). Los bancos 2 y 4 soportan todas las normas de I/O, excepto PCI de 3.3V. Los bancos I/O 2 y 4 contienen los pines DQS de doble propósito, DQ, y DM para soportar una conexión DDR SDRAM o FCRAM. El banco I/O 1 también puede soportar una conexión DDR SDRAM o FCRAM, sin embargo, la configuración en los pines de entrada debe operar a 2.5 V. El banco I/O 3 también puede soportar una conexión DDR SDRAM o FCRAM, pero todos los pines JTAG deben operar a 2.5 V.

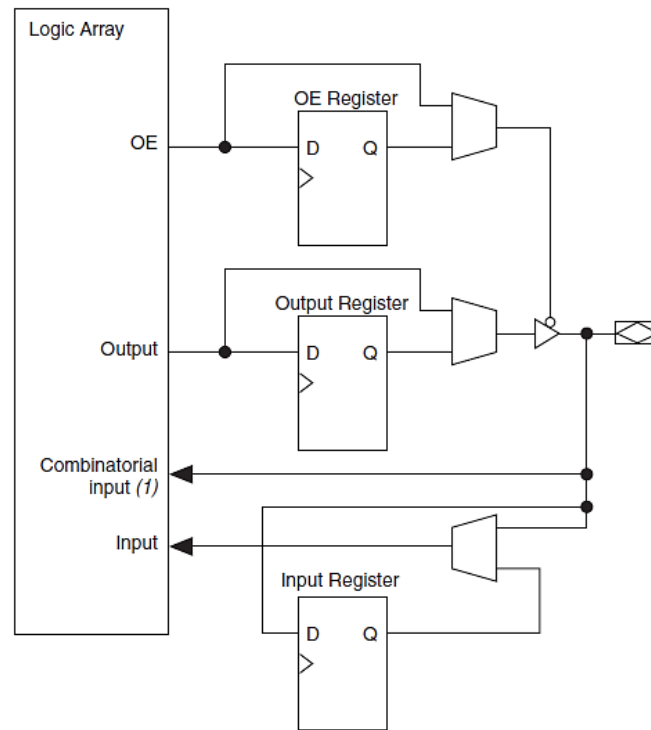


Figura 1.2 Estructura de los elementos de entrada/salida de la familia de dispositivos Cyclone (1).

Una LUT es un componente que almacena una tabla de verdad, en este caso de cuatro variables de entrada y una salida. Se realizan en el chip con un proceso basado en celdas SRAM como se muestra en (10) y (11). El contenido de esta tabla es organizada tal que la celda apuntada por cada combinación en la entrada contiene el valor deseado, similar a un multiplexor. Las direcciones de las celdas son las entradas de la función lógica que se desea implementar. En una LUT de $2^n \times 1$ es posible implementar cualquier función lógica de n variables. Para cuatro variables una LUT puede ser representada como en la Figura 1.3.

Además de las tres salidas de asignación de ruta generales, los LEs en un LAB tienen las salidas cadena LUT y cadena de registro antes mencionadas. Las conexiones en cadena LUT permite que LUTs dentro del mismo LAB se unan en cascada para representar funciones de más de cuatro entradas. Las salidas de cadena de registro permiten a los registros dentro del mismo LAB conectarse en cascada.

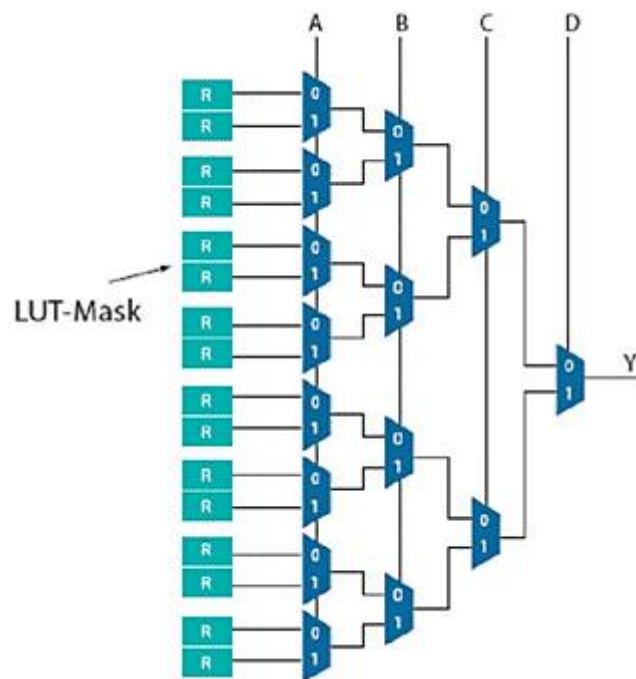


Figura 1.3 LUT de cuatro variables en esquema de multiplexores de dos bits. Imagen elaborada a partir de (12).

La salida de cadena de registro permite al LAB usar LUTs para funciones combinacionales y usar los registros en aplicaciones de desplazamiento de registros valga la redundancia (1). Estos recursos aceleran las conexiones entre los LABs y ahorran recursos de interconexión local.

Los LEs además tienen una característica que el compilador del Quartus II utiliza brillantemente y es la presencia de un sumador/restador dinámico. Este sumador/restador está controlado por la señal *addnsub*, que forma parte de las señales de control del LAB y que se explica con más detalle en (1). Lo más significativo de esta característica es el ahorro de recursos lógicos pues se puede usar un grupo de LEs para implementar tanto sumadores como restadores. Los LEs además tienen dos modos de operación: el modo normal y el modo dinámico aritmético (1).

Otro elemento muy importante en la arquitectura Cyclone es el reloj. Sobresale el PLL como elemento fundamental en la gestión de este recurso y cuya estructura se muestra en el Anexo 4. Las características de este recurso se recogen en la Tabla 1.1.

El objetivo principal de un PLL es sincronizar la fase y frecuencia de una señal de reloj interna o externa, tal que se ajuste como una entrada de reloj de referencia para la aplicación

que se implemente en el chip. Uno de los elementos fundamentales para su funcionamiento es el detector de fase o PFD (*phase-frequency detector*). El PFD produce una señal alta o baja que determina si el VCO operará a menor o mayor frecuencia respectivamente.

Tabla 1.1 Características de los PLLs de Cyclone. Tabla elaborada a partir de la Tabla 6-2 de (1).

Característica	Descripción
Multiplicación y División de reloj	M/(N x contador de post escala), todos en el rango 1–32.
Desplazamiento de fase	Incremento mínimo de 125ps determinado por $T_{VCO}/8^3$
Ciclo útil programable	
Salidas internas de reloj	2 por PLL
Salidas externas de reloj	1 por PLL
Puerto bloqueado puede alimentar LABs	
Salidas de reloj del PLL pueden alimentar LABs	

1.1.2 El FPGA EP1C12Q240I7N

Según la nomenclatura de las denominaciones de los dispositivos de Altera, el FPGA EP1C12Q240I7N se ubica como en la Tabla 1.2. El identificador EP1C lo ubica dentro de la familia de dispositivos *Cyclone*, dentro de la cual el EP1C12 lo distingue y permite ubicar su información dentro de (1, 13). El tipo de encapsulado y la cantidad de pines también lo distingue pues el propio EP1C12 puede aparecer en las diferentes variantes de la Tabla 1-2 de (1); esto implica un conjunto de características diferentes. Es por eso que resulta importante esclarecer las especificaciones del dispositivo en particular, más allá de las mencionadas en los epígrafes anteriores.

La estructura del EP1C12 tiene los bloques M4K en dos columnas conformadas de 52 bloques. Además cuenta con 2 PLLs, el máximo para la familia Cyclone. La matriz de LAB está conformada por 48 columnas y 26 filas.

³ VCO es el acrónimo de *Voltage Control Oscillator* u oscilador controlado por voltaje.

Tabla 1.2 Desglose del nombre del FPGA EP1C12Q240I7N. Elaborado a partir de (14) y de la Figura 5-1 de (1).

Denominación	EP1C	12	Q	240	I	7	N
Familia	Cyclone						
Dispositivo	EP1C12						
Encapsulado	Plastic Quad Flat Pack						
Cantidad de pines	240 pines						
Rango de temperatura	Rango de temperatura industrial: -40–100°C						
Grado de velocidad	Desempeño relativo de grado 7						
Sufijo	En correspondencia con la Directiva RoHS de la Unión Europea						

Tabla 1.3 Características del EP1C12Q240I7N sin importar el encapsulado (1).

Característica	EP1C12
LEs	12060
Bloques M4K RAM (128 × 36 bits)	52
Bits de RAM	239616
PLLs	2
Máximo de pines I/O de usuario	249

El encapsulado 240 PQFP tiene por dimensiones específicas 0.5mm de separación entre terminales, arista de 34.6mm y 1024mm² de área. Además determina los rasgos siguientes: 32 pines DQ en 4 grupos de 8, 66 canales LVDS, soporte PCI solo de 32bit a 33 MHz, 66 canales I/O de alta velocidad y otras como la resistencia térmica de la Tabla 15-2 de (1). En la sección 4 de (13) aparece la lista y definiciones de los pines para el EP1C12, así como el diagrama de los bancos de pines según su agregación y voltaje de referencia.

El rango de temperatura industrial en el que se encuentra ubicado el dispositivo, está definido por Altera en -40–100°C para las uniones en el semiconductor (T_j). Este rango limita la disponibilidad de grados de velocidad bajos para el dispositivo, es decir, limita que el dispositivo funcione por diseño a altas velocidades. Todas las especificaciones para el

modelo de tiempo presentadas en (1), están dadas para el peor caso en condiciones de voltaje de alimentación y temperatura.

Los dispositivos de la serie *Cyclone* usan el grado de velocidad para indicar su desempeño relativo, a diferencia de las familias MAX en la cual significa la demora de propagación a través de las *macroceldas*. Mientras más bajo el grado de velocidad, el chip es más rápido y puede tener mucho más desempeño. En *Cyclone* el grado de velocidad más bajo es el 6, lo cual ubica al EP1C12Q240I7N en el grado segundo más rápido de la familia. Todas las especificaciones de los modelos de tiempo en la hoja de datos están sujetas a este grado de velocidad 7, por diseño.

Los sufijos son letras optativas al final del identificador que especifican ciertos rasgos del dispositivo. No todos los sufijos, N en este caso, están validados con todos los números de parte. En el EP1C12Q240I7N, la N informa acerca de la prohibición de ciertas sustancias nocivas como el mercurio y el plomo en la confección del mismo, dada la directiva sobre restricciones a la utilización de determinadas sustancias peligrosas en aparatos eléctricos y electrónicos 2002/95/EC; reemplazada en la actualidad por la 2011/65/EU (15).

1.2 Lenguajes de descripción de hardware (HDL).

Al utilizar lenguajes de descripción de hardware para modelar un sistema, se está modelando hardware, y no escribiendo software. El software se caracteriza por ser secuencial, es decir los efectos de una instrucción dependen exclusivamente de los efectos de las instrucciones anteriores. En el hardware, sin embargo, hay muchas tareas que suceden de manera concurrente y paralela, o sea, muchos parámetros y señales cambian al mismo tiempo, es decir, la variable tiempo predomina. Esto es lo que hace al paradigma de programación en cualquier HDL singular con respecto a otro paradigma de programación de alto nivel. Mediante HDL, los sistemas digitales pueden describirse de diferentes formas que van desde el nivel abstracto de un algoritmo o el comportamiento general de un circuito, hasta un modelo a nivel de interconexión de compuertas lógicas.

Existen numerosos lenguajes de descripción de hardware, entre ellos se encuentran:

- VHDL (*Very High Speed Integrated Circuit Hardware Description Language*): es un lenguaje de alto nivel de abstracción estandarizado por el IEEE que se utiliza para la descripción de hardware de sistemas digitales (16).
- Verilog o Verilog HDL: utilizado para modelar sistemas electrónicos, se utiliza con mayor frecuencia en el diseño y verificación de circuitos digitales en el nivel de abstracción de transferencia entre registros o RTL. También se utiliza en la verificación de circuitos analógicos y circuitos de señal mixta. Está también recogido en un conjunto de estándares de la IEEE (17).
- SystemVerilog: es un lenguaje de descripción y verificación de hardware basado en extensiones de Verilog, también estandarizado por el IEEE.
- AHDL de *Altera Hardware Description Language*: se aborda a continuación.

1.2.1 *Altera Hardware Description Language* (AHDL)

El AHDL es un lenguaje de descripción de hardware propietario, desarrollado por la compañía Altera y con sintaxis similar al lenguaje ADA. Al ser propietario, solo está soportado en los compiladores de Quartus y las series MAX. Con AHDL se tiene más control al costo de no tener la factibilidad total del alto nivel de abstracción, lo que lo convierte en un lenguaje de nivel medio de abstracción; aunque en (18) y en (19) lo clasifiquen como de alto nivel. Los autores que se otorgan esa potestad lo hacen dada la diferencia con VHDL y Verilog, que sí permiten un mayor nivel de abstracción.

El mismo está pensado para diseños de lógica combinacional compleja, operaciones de grupo, máquinas de estado, tablas de verdad y lógica parametrizada. AHDL, al igual que otros HDL utiliza ecuaciones lógicas, variables, constantes, funciones, operadores aritméticos, tablas de verdad y expresiones condicionales. Todo código AHDL debe ajustarse a la sintaxis establecida para el MAX+PLUS II versión 5.0 (18, 19).

Se puede utilizar cualquier editor de texto para crear archivos de diseño de texto en AHDL, las únicas restricciones de que estos ficheros deben guardarse con la extensión .tdf (*Text Design File*) y que las líneas no deben exceder los 255 caracteres. El compilador de Quartus no diferencia entre mayúsculas y minúsculas en el código en AHDL. La estructura de un

archivo .tdf está muy bien presentada en la Figura 1-2 del Manual de Referencia de AHDL publicado en (18) para el antiguo MAX+PLUs II.

Un archivo .tdf debe tener las secciones *subdesign* y *logic*. Por otra parte puede tener las secciones *title*, *include*, *constant*, *define*, *parameters*, *options*, *variable* y *function prototype*.

Es un lenguaje concurrente, pues el comportamiento del hardware descrito en la sección lógica, es interpretado para el funcionamiento al mismo tiempo y no secuencialmente. Dado su devenir histórico, es un lenguaje poco actualizado y usado únicamente por las comunidades de desarrolladores de Altera. Esto puede comprobarse fácilmente mediante las publicaciones y bibliografía en general. Existen más artículos, libros y materiales bibliográficos para VHDL y Verilog que para AHDL. De hecho, la principal referencia que brinda Altera para su lenguaje está en un documento electrónico publicado en el 1995 (18); aunque en la ayuda del software Quartus II más reciente aparece también mucha información del lenguaje AHDL, pero es básicamente la misma (19).

En (20) se recogen todos los elementos del lenguaje: palabras reservadas, identificadores, símbolos, números, expresiones aritméticas, expresiones lógicas, comparadores, primitivas, megafunciones, LPM (*library of parameterized modules*), etc. En (21) se detalla cómo usar el AHDL con el Quartus II.

En la práctica AHDL se usa más indirectamente como parte de muchos elementos propios de la biblioteca de mega funciones parametrizables de Altera. Incluso algunas de las funciones de esta biblioteca existen solamente para brindar soporte de compatibilidad a diseños antiguos desde el punto de vista de la evolución de los dispositivos de Altera.

CAPÍTULO 2. FUNDAMENTOS PARA EL ANÁLISIS DEL SISTEMA RECEPTOR DEL PECHORA

En este apartado se realiza una introducción a la Estación de Conducción de Cohetes S125MIA “Pechora”, analizando además el rol que juega el sistema receptor dentro del complejo de cohetes. Posteriormente y por la necesidad al diseñar de herramientas de simulación que permitan no solo realizar la descripción, sino evaluar la viabilidad y el desempeño de los sistemas implementados, lo más rápido y eficiente posible, se presentará de forma general algunas características de Quartus II, herramienta de simulación utilizada en este trabajo.

2.1 La Estación de Conducción de Cohetes S125MIA “Pechora”

La ECC (Estación de Conducción de Artículos) S125MIA se destina para la búsqueda, seguimiento y aniquilamiento de los objetivos aéreos, en los rangos de bajas y medias alturas, tanto de día como de noche y excepcionalmente de los objetivos navales y terrestres, en los regímenes de Radiolocalización o Televisión.

La ECC está compuesta por:

Cabina de dirección, compuesta a su vez por:

- Dispositivo sincronizador.
- Dispositivo de indicadores.
- Dispositivo de Dirección de las antenas y las Rampas de lanzamiento (SUPA-RL).
- Monitores del Sistema Tele Óptico (STO).
- Dispositivo de medición de las coordenadas (DDC).
- Dispositivo de elaboración de los mandos (DEM).
- Dispositivo Radiotransmisor de los mandos (DTM).
- Dispositivo de selección de los objetos móviles (SOM).

- Dispositivo Demodulador de las interferencias. (GSHN).
- Dispositivo Automatizado de lanzamiento (DAL).
- Dispositivo de imitación y control.

Puesto de antenas compuesto por:

- Sistema Transmisor.
- Sistema Receptor.
- Sistema de Antenas y Guías de ondas (SAGO).
- Sistema de los Mandos de fuerza de seguimiento sincrónico (MFSS).
- Cámara del Sistema Tele Óptico (STO).

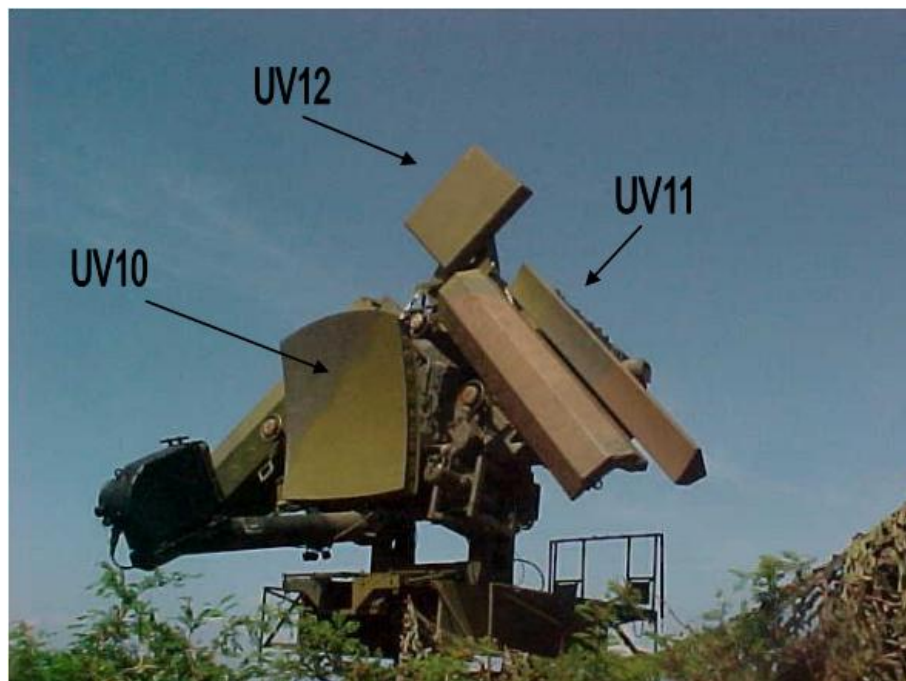


Figura 2.1 Puesto de antenas de la ECC S125MIA (22).

La ECC posee dos canales de trabajo: Radiolocalización y Televisión. En el canal de Radiolocalización posee dos regímenes de exploración del espacio aéreo: Localización (LOC) y Acompañamiento (ACOMP), siendo el último el que se emplea para el tiro.

En el régimen LOC se transmiten los impulsos de sondeo y se reciben las señales reflejadas por la antena UV10 (es la antena cuyo reflector es un paraboloide seccionado con el irradiador ubicado en la prolongación del brazo hacia el frente) cuyo diagrama explora o barre en 10 grados de abajo hacia arriba. En régimen ACOMP la transmisión de los impulsos de sondeo se realiza por la antena UV10, que detienen el barrido de su diagrama y lo convierte

en un cono fijo y la recepción se realiza por las antenas UV10, y UV11 (son las antenas que parecen rectangulares y se encuentran inclinadas a los lados de la UV10). Las antenas UV11 desplazan el diagrama direccional, de manera electromecánica en 15 grados. La señal del artículo entra siempre por la UV11 (22).

El diagrama direccional de las antenas en LOC, explora el espacio de la manera que se muestra en la Figura 2.2. El régimen de LOC se usa para la localización de objetivos aéreos a distancias hasta 80Km, así como para la localización de objetivos de superficie (terrestre o marítima) y para la localización de objetivos portadores del CAR (Cohete Anti Radar).

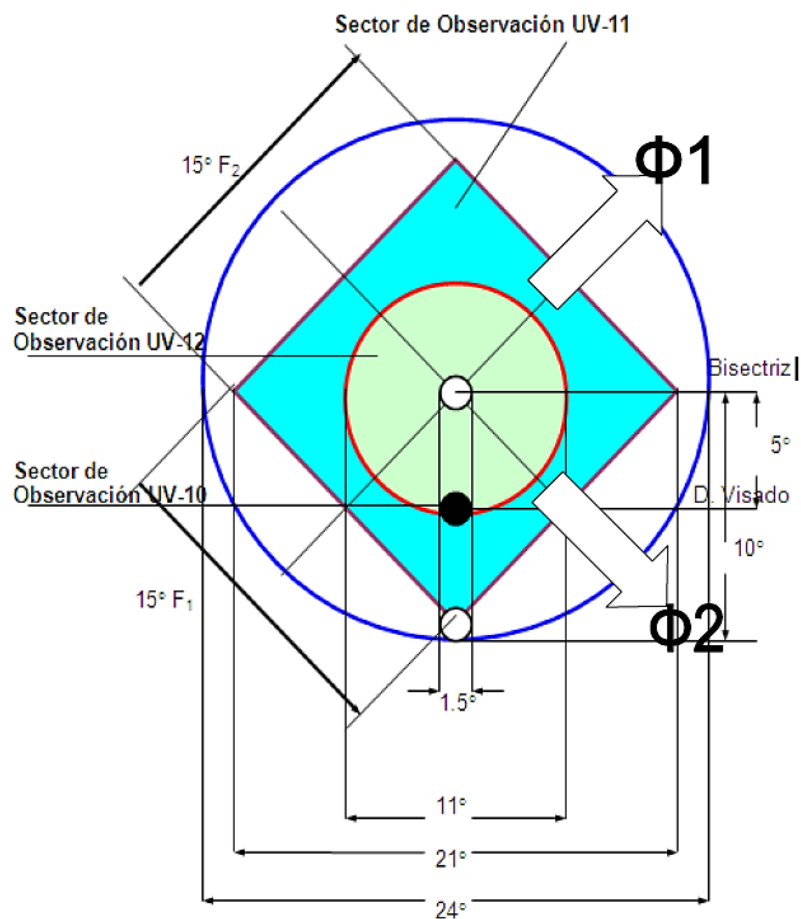


Figura 2.2 Forma de la exploración del espacio (22).

La antena UV10 es transmisora y receptora y mueve su diagrama direccional de abajo hacia arriba, en forma de aguja de 1,5 grados. La antena UV11 es solo receptora moviendo su diagrama direccional en los planos inclinados $\Phi 1$ y $\Phi 2$, comenzando por $\Phi 1$ desde la posición abajo a la izquierda hasta la posición arriba a la derecha y luego continúa por $\Phi 2$, desde la posición arriba a la izquierda hasta la posición abajo a la derecha. El sector que cubre

el solapamiento por el cruce de los barridos de $\Phi 1$ y $\Phi 2$ es el sector de exploración de la antena UV11 y está representado en el cuadrado azul.

El sector que cubre la antena UV12 describe un círculo en el espacio (dibujado en verde). El centro de este círculo se denomina bisectriz del sector de exploración. El centro del barrido que describe la antena UV10 recibe el nombre de directriz del sector de exploración (22).

En caso de que los blancos sean portadores de interferencias e impidan la localización, el seguimiento del blanco se emplea el canal tele óptico, siempre y cuando el objetivo se pueda ver por este medio. El canal de televisión posee dos regímenes de exploración: Campo visual ancho (Foco F-150) 6° diagonalmente y Campo visual estrecho (Foco F-500) 2° diagonalmente. En F-500 se tiene el diagrama de exploración que se muestra en la Figura 2.3, en la parte izquierda. Se utiliza en los casos de localización de objetivos a distancias mayores de 18Km y para el seguimiento del objetivo durante el tiro. En F-150 tiene el diagrama de exploración que se muestra en la Figura 2.3, pero en la parte derecha. Se utiliza durante la localización de objetivos a distancias menores de 18Km.

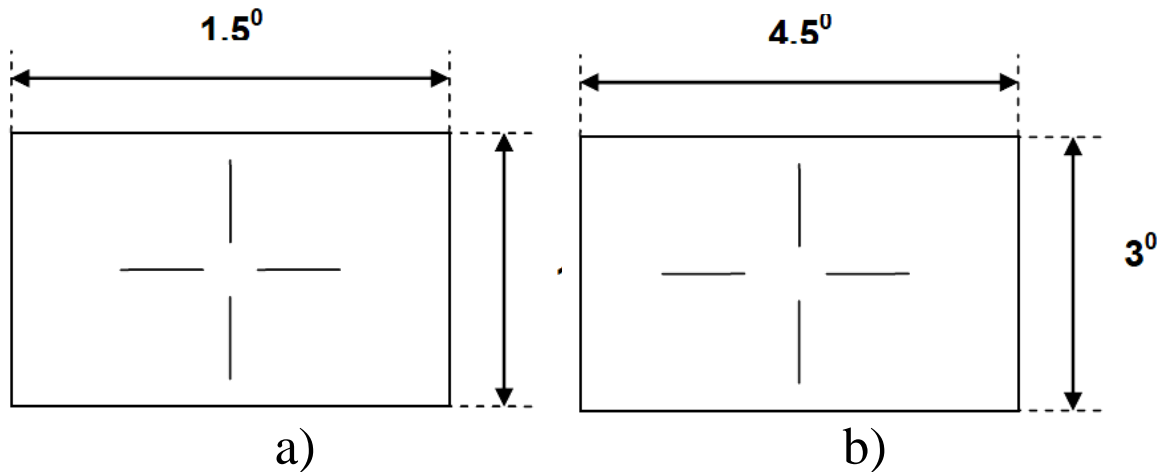


Figura 2.3 Canal Tele Óptico (22).

El régimen de ACOMP se emplea para el tiro y permite:

- Actuar contra objetivos de pequeña SER (Superficie Efectiva de Reflexión).
- Actuar contra objetivos de grandes dimensiones.
- Actuar contra objetivos en grupo.
- Actuar contra objetivos del tipo ADA (Aerostatos Automáticos a la Deriva).
- Actuar contra objetivos portadores de interferencias activas y pasivas.

En régimen de localización, la antena UV10 realiza el movimiento de diagrama de manera continua, y por lo tanto la señal que entra por la antena toma la forma o se modula por dicho diagrama. Esto hace que la forma de la señal, sumando todos los impulsos reflejados y recibidos en la ECC durante cada barrido del diagrama sea acampanada. A esta señal se le da el nombre de “Paquete de impulsos”. De igual manera ocurre con la señal que es recibida por la antena UV11. Para el caso del régimen de Acompañamiento cuando la antena UV10 detiene el barrido, la señal que se recibe por ésta no está modulada y su forma la componen todos los impulsos que se reciben que tienen igual amplitud. A esta señal se le da el nombre de “Fila de impulsos” (22).

2.2 Rol del Sistema Receptor dentro de las funciones del grupo antiaéreo

Cuando se conecta la ECC, durante el tiempo que se realiza el calentamiento los transmisores, se procede a un control de funcionamiento en el cual se comprueba, mirando los indicadores, el trabajo del sincronizador, del SUPA, del DAL, del DDC, del DEM y de parte del DTM (cifrador y descifrador). La presencia de trama en los indicadores significa el buen trabajo del sincronizador; el movimiento de las antenas al mover las manivelas indica el trabajo correcto del SUPA-RL; la presencia de las marcas y valores del DAL (Límites de la zona, Punto de encuentro, Velocidad, Altura y Parámetro) indican un trabajo correcto de este sistema.

El paso a Seguimiento Automático (SA) del objetivo imitado y la captura de los artículos imitados indican el correcto paso de las señales por los canales del receptor; la magnitud de los errores y el valor de los mandos de dirección indican el correcto funcionamiento del DDC, del DEM y de parte del DTM. A todo esto se le llama control funcional de la ECC en baja frecuencia.

Después de transcurrir los 2 minutos de calentamiento de los transmisores aparecen los ruidos en la pantalla de los indicadores señalizando el trabajo de la parte de alta frecuencia de los receptores. A partir de ese momento se considera elevada la alta tensión en los receptores y se puede elevar la alta tensión de los transmisores.

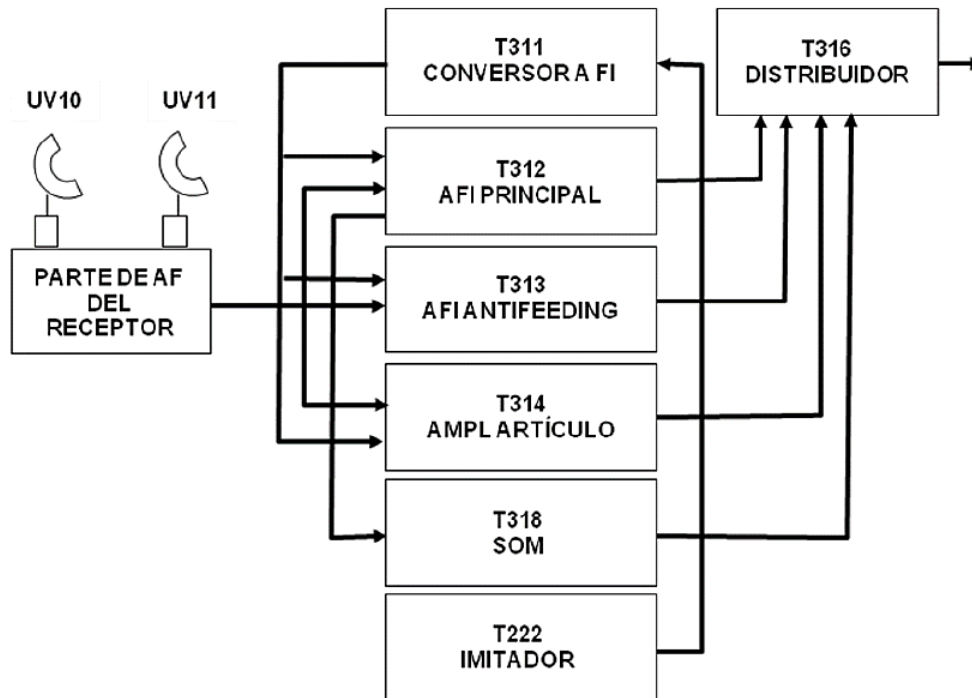


Figura 2.4 Esquema funcional del Sistema Receptor (23).

El funcionamiento del sistema receptor comienza en el puesto de antenas, lugar donde se encuentra su parte de alta frecuencia. El esquema de la parte de alta frecuencia del receptor se muestra en la figura del Anexo 5, ahora implementado con módulos de Súper Alta Frecuencia (SAF). Esta parte de alta frecuencia del receptor tiene tres entradas y cuatro salidas y se encuentra dividido en dos: un receptor súper heterodino y uno de amplificación directa.

Las entradas corresponden a las antenas UV10 (canal principal) y UV11 (canal *antifading*⁴) en Localización y en Acompañamiento. Por estas entradas llegan los impulsos reflejados de los objetos y la señal de respuesta del artículo; ambas señales en la banda de frecuencia (SAF) en la que está sintonizado el transmisor.

A la entrada del receptor de AF lo primero que se encuentra es un Limitador, con el objetivo de disminuir el efecto que pueda ocasionar la señal del transmisor, al salir por el canal de guías de ondas el impulso de sondeo que emite el generador de SAF. Los siguientes bloques son normales en un dispositivo receptor. La entrada del canal principal se convierte en dos salidas: una de amplificación directa y otra del receptor superheterodino. La de amplificación

⁴ Que refuerza la información de la señal para combatir el desvanecimiento.

directa no usa Mezclador y la señal de salida está en la banda de video. La otra se encuentra en la banda de 35Mhz. La entrada del canal *antifading* es un receptor superheterodino y su salida está también en 35Mhz (23).

Hay una tercera entrada, a la derecha de la figura del Anexo 5 que viene desde el transmisor; desde una toma que extrae de la guía de ondas una muestra del impulso que se envía al espacio (impulso de sondeo). Esta muestra se toma, se entrega a un mezclador a través de un atenuador y se convierte en frecuencia intermedia, también de 35Mhz. Este impulso de 35Mhz, a través del bloque UV24 (del Puesto de antenas), que detecta la desviación de la FI de su frecuencia central, se toma como referencia para el esquema de sintonización automática de la frecuencia del heterodino, implementado en el bloque UV48. El heterodino es un sintetizador de alta estabilidad controlado por 12 bits, a través de los cuales se le establece la frecuencia exacta, manteniendo siempre la salida de los mezcladores en 35Mhz.

Por la otra salida del bloque UV24, el impulso de 35Mhz se envía al Amplificador Previo de FI del canal de “Faseo” implementado en el bloque UV58. De este último bloque el impulso se envía hacia la Cabina de dirección con el nombre de “Impulso de Faseo” y va directamente a la T318, esta tarjeta no es objeto de la presente investigación, pero si se encuentra estrechamente vinculada, al igual que la 222, al conjunto de tarjetas T311, T312, T313, T314 y T316.

El Canal principal envía el impulso reflejado de 35Mhz desde el mezclador, a través del Amplificador Previo de FI de ese canal (UV51) y de la Cascada de concordancia o acoplamiento (UV53), hacia la cabina de dirección. Esta señal llega directamente a la T312 por el cable coaxial $\Phi 1$ de entrada a dicha tarjeta. El Canal *antifading* envía el impulso reflejado de 35Mhz desde el mezclador, a través del Amplificador Previo de FI de ese canal (UV51M) y de la Cascada de concordancia o acoplamiento (UV53M), hacia la cabina de dirección. Esta señal llega directamente a la T313 por el cable coaxial $\Phi 1$ de entrada a dicha tarjeta. El Canal del artículo envía el impulso de respuesta, en video, desde el detector, a través del Amplificador Previo de video de ese canal (UV52M), hacia la cabina de dirección. Esta señal llega directamente a la T314 por el cable coaxial $\Phi 1$ de entrada a dicha tarjeta (23).

La T311 tiene un generador de 35MHz con el cual se realiza la conversión a FI de las señales de video que llegan desde el Imitador (T222). Este generador tiene a la salida un filtro paso-banda sintonizado a 35Mhz, con su amplificador a continuación y con un divisor de potencia que permite derivar esa frecuencia patrón hacia los canales de conversión en FI de las señales de video del canal principal y del canal *antifading*. Por cada uno de los canales llega la señal de video imitada a la T311, es decir, llegan por el conector Xp3, las señales de video del canal principal, la del canal antifeeding, la señal imitada de interferencia y la señal imitada de los artículos. También a la T311, por el conector Xp1, llegan los códigos de 3 bits, que se aplican directamente al FPGA, desde los atenuadores situados en un panel externo a esta tarjeta. De esta manera el código establecerá la amplitud de la señal imitada de cada canal (6 pasos de atenuación entre 0 y 60db). El panel de los atenuadores se denomina “bloque 610”. Se supone que entre las funciones que cumple el FPGA de la T311 estén la atención a la atenuación de las señales, el control de la conexión y desconexión de los canales y la alimentación de las tarjetas.

Las señales de salida de la T311 son señales imitadas, moduladas en FI, para entregárselas a los Amplificadores principales de FI, por el cable coaxial $\Phi 2$ de la T312 para el canal principal y por el cable coaxial $\Phi 2$ de la T313 para el canal antifeeding. Además sale la señal imitada del artículo en video para entregársela por el cable coaxial $\Phi 2$ a la T314 (23).

Además a la T311 llega una señal compleja, formato serie, por los puntos 13 y 14 del conector Xp1, denominada SB20. Esta se aplica al integrado U51, del tipo MAX3485, que convierte ese protocolo serie con la norma RS485 en señal TTL para aplicar dicha información a la pata 184 del FPGA. El contenido de esta información y su efecto en el resto de la T311 no se conoce aún, a dicha información se dedicará también en gran medida el presente trabajo.

La T312 es el Amplificador Principal de FI del canal principal, en régimen de Localización, recibe la señal que entra por la antena UV10, mientras que en el régimen de Acompañamiento, recibe la señal que llega por la antena UV11. En esta Tarjeta se realiza la Regulación Automática de la Amplificación (RAA en español pero en ruso es APY), que es un lazo de regulación automática cuya constante de tiempo es de 0.5s, y que es el encargado de mantener el nivel de la señal a la salida en un nivel de 3v. Además existe la Regulación

Automática Instantánea de la Amplificación (en español RAIA pero en ruso es MAPY). Estos dos lazos de control también deben ser funciones del FPGA (23).

La entrada de la T312 son las señales reales e imitadas del canal principal, que se aplican desde el coaxial de entrada al amplificador U3, implementado con el amplificador monolítico del tipo MAR-8SM. Los impulsos selectores deben permitir el paso de los impulsos. Los selectores deben llegar desde el FPGA. La salida de la señal de video del canal *antifading* es por los coaxiales 4 y 5 de la T312 y se envían a la T318 (SOM) y T317 (dispositivo demodulador de las interferencias) respectivamente. La señal se envía a la T316 por el punto 11 del conector Xp1.

Las T313 es el Amplificador Principal de FI del canal *antifading*. En régimen de Localización esta tarjeta no trabaja, pero, en el régimen de Acompañamiento, recibe la señal que llega por la antena UV10. En esta Tarjeta se realiza una Regulación Automática de la Amplificación de acción lenta, que es un lazo de regulación automática cuya constante de tiempo es de 5ms, y se emplea cuando se trabaja en régimen SOM. Además existe la Regulación Automática Rápida de la Amplificación (en español RARA pero en ruso es BAPY). Estos dos lazos de control también deben ser funciones del FPGA (23).

La entrada de la T313 son las señales reales e imitadas del canal *antifading*, que se aplican desde el coaxial de entrada al amplificador U3, implementado con el amplificador monolítico del tipo MAR-8SM. Los impulsos selectores deben permitir el paso de los impulsos. Los selectores deben llegar desde el FPGA. La salida de la señal de video del canal *antifading* es por el coaxial 4 de la T313 y se envían a la T317. La señal se envía a la T316 por el punto 11 del conector Xp1.

Las T314 es el Amplificador Principal de Video del canal del artículo. A ésta le llega siempre la señal que llega por la antena UV11. La T314 tiene dos canales, uno para cada canal del artículo; tiene tres regímenes de amplificación: Regulación por nivel de ruido, Memoria y RAA; el primer régimen prevalece desde el momento de lanzamiento hasta pasar de 3 a 4 segundos después del despegue del artículo. Este régimen, denominado RAA-I, regula la amplificación en dependencia del nivel de ruido existente en el receptor. El segundo régimen aparece a continuación del primero; es decir, 3 a 4 segundos después del despegue (momento en que se da un mando conocido como permiso de captura). En este momento se supone que

el artículo en vuelo pase por la zona donde se produce la captura (a la distancia de captura aproximadamente). En este régimen se memoriza el último nivel de RAA que hubo en el momento de realizarse el paso de RAA-I a Memoria. Este régimen garantiza que durante el proceso de captura no varíe la amplificación del canal del artículo. El último régimen se alcanza una vez capturado el artículo, a partir de lo cual la RAA mantiene constante la amplitud de la señal a la salida de la T314. Estos tres lazos de control también deben ser funciones del FPGA (23).

La entrada de la T314 son las señales reales e imitadas de los dos canales del artículo, que se aplican desde el coaxial de entrada a los amplificadores T1 y T2, implementados con MOSFET de doble compuerta de canal N del tipo 3SK81. Los impulsos selectores deben permitir el paso de la señal correspondiente a cada canal del artículo por cada canal de la T314. Los selectores deben llegar desde el FPGA. La salida de las señales de video de los artículos I y II es por los puntos 2 y 12 del conector Xp1 de la T314 y se envían a la T316.

También a las T312, T313 y T314 les llega la señal compleja, formato serie, por los puntos 13 y 14 del conector Xp1, denominada SB20. Esta se aplica al integrado U51, del tipo MAX3485, que convierte ese protocolo serie con la norma RS485 en señal TTL para aplicar dicha información a la pata 184 del FPGA. El contenido de esta información y su efecto en el resto de la T311 no se conoce aún.

La tarjeta 316 no tiene componente programable, es una tarjeta distribuidora que contiene relés y amplificadores. Su funcionamiento se obtiene muy claro por el esquema electrónico (23).

2.3 Sobre el análisis de sistemas basados en FPGA

Es recomendable respetar un orden que permita desglosar el contenido del sistema desde el nivel de estudio más general hasta el análisis más específico del código. Parte de ello se lleva a cabo desde la misma presentación del tema para este trabajo. Además resulta de vital importancia las herramientas a emplear. No existe un paquete llamado Caja de Herramientas para Ingeniería Inversa, dichas herramientas dependen en gran medida del trabajo que se pretenda realizar y en el caso de las FPGAs es todavía más específico por el tema del *know how* de los fabricantes de estos chips. Es por eso que para este trabajo se debe emplear el Quartus II de Altera como herramienta de software fundamental.

El software de diseño Quartus II de Altera proporciona un completo ambiente de trabajo de multiplataforma que se adapta fácilmente a las necesidades específicas. Esto es un ambiente abarcador para el diseño de *system-on-a-programmable-chip* (SOPC), o sistema en un chip programable. El software Quartus II incluye soluciones para todas las fases de diseño FPGA y dispositivos lógicos programables complejos o (CPLD) *Complex Programmable Logic Device*. Tiene interfaz gráfica de usuario (GUI) e interfaz de línea de comandos para emplear en cualquiera de las fases del flujo de diseño de la Figura 2.5.

El software Quartus II incluye un compilador modular que contiene una serie de módulos, aunque muchos son opcionales durante una compilación, además, se puede usar la ventana de tareas para iniciar los módulos del compilador individualmente, esto explica con mayor profundidad en la sección *Graphical User Interface Design Flow* de (24).

El Quartus II software también proporciona flujos de compilación predefinidos que se pueden usar mediante el menú Procesos. La lista de comandos para algunos de los flujos de compilación más comunes se pueden ver en la Tabla 1 de (24). Incluye ejecutables separados para cada etapa del flujo de diseño. El flujo de diseño a línea de comandos se muestra en el Anexo 6 y una lista de todos los comandos válidos se ofrece en la Tabla 2 de (25).

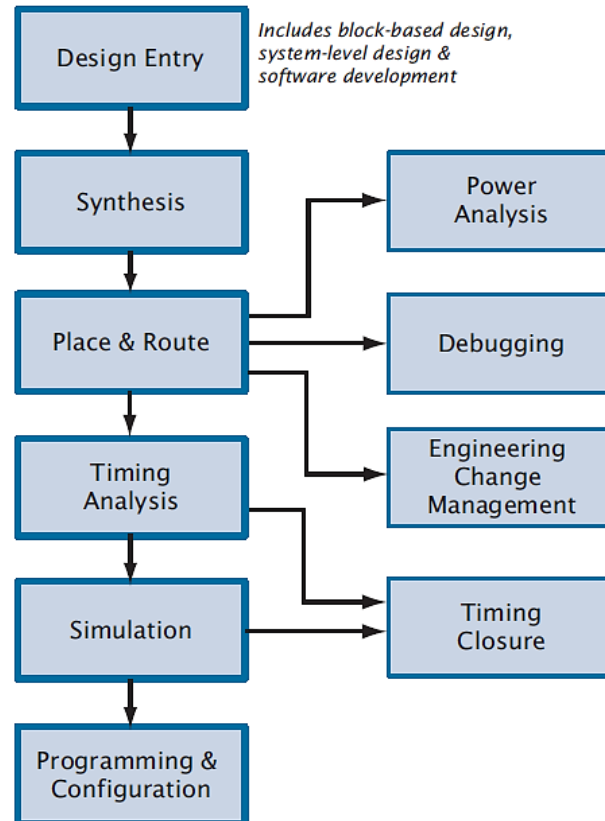


Figura 2.5 Flujo de diseño con Quartus II (24).

Los escritos TCL (*Tool Command Language*) son especialmente útiles para la automatización de un proceso. Se puede crear una escritura TCL usando comandos desde el API Quartus II para Tcl e incluso mediante un editor de texto. El resultado se debe salvar como un archivo de extensión .tcl. El comando *Insert Templates* en el menú *Edit* en el Editor de texto Quartus II permite insertar plantillas TCL.

Si se desea utilizar un proyecto existente como base para otro proyecto, se puede pulsar el botón *Generate Tcl File for Project* en el menú *Project* para generar un archivo de escritura Tcl o Tcl Script File para el proyecto. Después se revisa la escritura generada para designar el nuevo proyecto. Una mayor profundización se puede llevar a cabo en la sección *Using Tcl Commands* de (24).

Cuando se está creando un diseño nuevo es importante considerar las metodologías de diseño que ofrece el Software Quartus II, incluidas: flujos de diseño de compilación incremental y flujos de diseño basado en bloque o block-based. En el flujo de compilación incremental el diseño es dividido en particiones, las cuales pueden ser compiladas y optimizadas juntas

como partes de un proyecto de Quartus II. Si otro miembro del equipo o el proveedor IP están desarrollando el código fuente para el diseño, ellos pueden verificar funcionalmente su partición independientemente, y entonces simplemente proveer el código fuente la partición a la primacía del proyecto para la integración en el diseño más grande. Si se quiere compilar el diseño más grande cuando el código fuente no está completo todavía para una partición, ellos pueden crear un contenedor vacío para dicha partición y así facilitar la compilación hasta que el código de partición real esté listo (24).

CAPÍTULO 3. ANÁLISIS DEL MODELO EN QUARTUS II PARA LA T314

3.1 Descripción del proyecto de Quartus encontrado para la T314

El proyecto fue creado, o al menos abierto por última vez, en el Quartus II versión 7.1, compilación 156 04/30/2007 y con todas las licencias activas o *Full Versión*. En el supuesto de haber usado algún recurso de tipo IP, es poco probable que se pueda explotar a fondo el proyecto sin una versión completamente licenciada del Quartus II. El uso de la misma versión del Quartus II elimina la necesidad de convertir la base de datos del proyecto, algo necesario para lograr la compatibilidad con versiones superiores de dicho software.

Una vez abierto el proyecto, en la jerarquía del navegador de proyecto aparece como principal y único elemento el esquemático que contiene todo el diseño. Cabe notar que la jerarquía, aunque simple desde el punto de vista del navegador de proyecto, puede tener varios niveles de diseño dentro de los elementos del esquemático. El proyecto cuenta con 21 archivos de los cuales 12 son archivos con extensión .vhd de código VHDL, 3 son .tdf de código AHDL y 6 son esquemas en archivos .bdf; esta cantidad de archivos es desde el punto de vista del navegador de proyecto.

El esquema principal está constituido por un conjunto de bloques, compuertas lógicas y puertos. De izquierda a derecha y comenzando desde arriba aparecen los siguientes bloques: altp1l0, clk_5MHz, reset, sb4_rec, fai_block_ger, 5 bloques lpm_dff2, fai_ger, low_blocking, com_process, fai_agc_ro_1, fai_agc_ro_2 y led_cont. Los puertos de entrada son: clk, clk1, RX, d[10..0], ada[11..0], adb[11..0] y sim. Por otra parte las salidas son: T[6..0], con[6..0], agc_b, mem_b, agc1_b, agc_a, mem_a, agc1_a, csa, rwa, da[7..0], csb, rwb, db[7..0], ada_clk y adb_clk. Existe una relación evidente entre los nombres de los archivos que contienen las

instancias de los bloques y los nombres de los bloques: tienen el mismo nombre. Esto puede ser considerado como una práctica de diseño.

Prima en el diseño el uso de cableado por etiquetas, es decir que las conexiones no se trazaron en el esquema sino que se nombraron singularmente para realizar interconexiones a través de sus nombres para lograr mayor limpieza en el esquema. Otra ventaja de utilizar este recurso EDA es que en tiempo de compilación o de simulación se pueden identificar mejor las señales para depurar el diseño y entenderlo orgánicamente. Desde este punto de vista el proyecto fue realizado con muy buenas prácticas en su primera etapa del flujo de diseño.

3.2 Resumen del análisis de cada bloque

A continuación se exponen los resultados que arrojó el análisis con la herramienta de software Quartus II y las simulaciones de señales de reloj efectuadas en OrCAD.

3.2.1 Bloques altpll0 y clk_5Mhz

El elemento altpll0 tiene por entrada la señal clk de entrada global y de salida la señal clk_40M. Tiene por puertos⁵ el inclk0 para la entrada clk y el c0 para la salida clk_40M. Por el propio aspecto del bloque, que se muestra en la Figura 3.1, se puede deducir que está destinado a generar una señal de reloj de 40MHz a partir de 20MHz de entrada. Es realmente una función de multiplicador de reloj con razón 2 a 1, un ciclo útil del 50% y no desplaza la fase de la señal. El propio nombre sugiere el uso del PLL como principal recurso de la tarjeta para manejar la señal de reloj, sin embargo ¿cuál de las formas de realizar esto fue la utilizada?

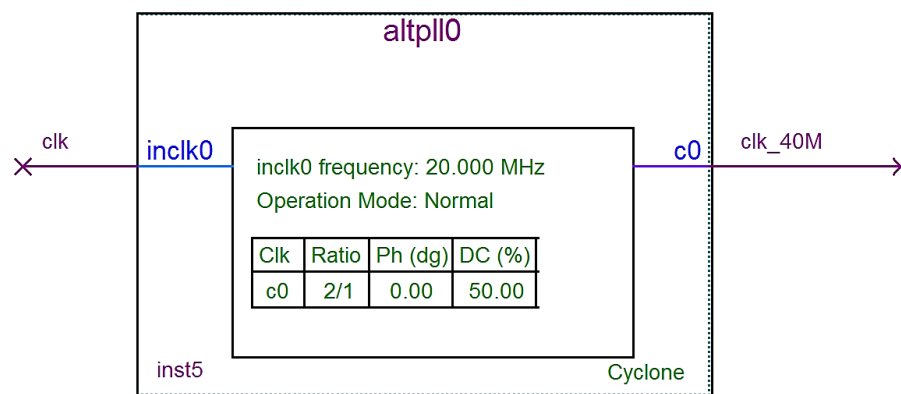


Figura 3.1 Aspecto del bloque altpll0.

⁵ Los puertos constituyen la interfaz entre la realización interna del circuito (modelo, esquema lógico, VHDL, etc.) y las señales de entrada y salida al bloque.

Lo singular resulta que fue realizado a partir de un *plug-in* de la biblioteca de mega funciones de Altera, que es de propiedad intelectual. Dicho *plug-in* tiene por nombre ALTPLL, tiene en cuenta el grado de velocidad del dispositivo, en este caso 7 y se maneja a través del gestor de *plug-ins* del paquete de mega funciones. Este bloque sugiere la explotación dentro del proyecto de funciones parametrizables de la biblioteca de propietaria de Altera, por lo que se piensa que el proyecto haya sido realizado por concedores de los recursos de Altera para el diseño.

También está relacionado con la señal de reloj el bloque `clk_5Mhz` cuya constitución se muestra en la Figura 3.2. Este contiene un divisor que a partir de la señal antes mencionada de 20MHz entrega un reloj de 5MHz. Naturalmente para este fin no hace falta explotar a fondo recursos como PLL pues resulta relativamente sencillo hacerlo en VHDL, como fue el caso. Esto ahorra el PLL y puede verse como una buena práctica de diseño.

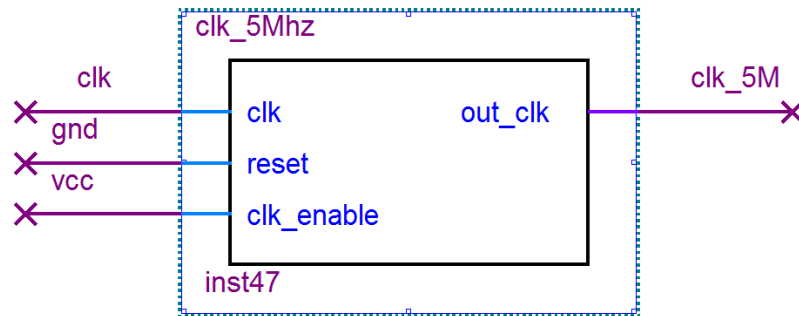


Figura 3.2 Aspecto del bloque `clk_5Mhz`.

El código VHDL para este bloque presenta una arquitectura *behavioral* o de comportamiento, caracterizada sobre todo por el empleo de procesos. Además se puede decir que también es RTL (*Register-Transfer Level*) porque modela al circuito digital síncrono en términos del flujo de señales digitales entre los registros de hardware y en término de las operaciones lógicas realizadas en esas señales.

Si la entrada `reset` es 1 entonces los 25 bits de la señal interna `cnt` se ponen en 0. Si `reset` no es 1, entonces la entrada `clk_enable` determina el tratamiento de periodización de la señal de salida en función del esquema de conteo basado en el vector entero sin signo `cnt`; lo que habilita `clk_enable` es la salida de reloj. Estas entradas responden a la utilización de un protocolo de control típico en diseños digitales de media y alta complejidad.

Una vez que el protocolo de reset y `clk_enable` lo permite, la señal `cnt` se incrementa en 1 hasta llegar a 2. Mientras `cnt` es menor que 2, es decir 0 o 1, `out_clk` será puesta en 0 en el siguiente borde de reloj. Luego si `cnt` es mayor o igual a 2, `out_clk` será puesta a 1 en el siguiente pulso de reloj. Esto entrega una señal de salida con un ciclo útil del 50% y una frecuencia igual a la cuarta parte de la frecuencia inicial de 20MHz. Esto se comprobó en una simulación independiente cuyo resultado se muestra en la figura siguiente.

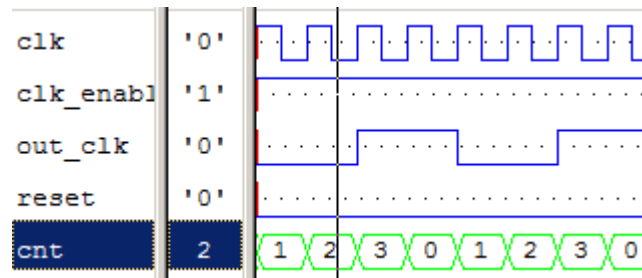


Figura 3.3 Formas de onda obtenidas en la simulación del código de `clk_5Mhz`.

Algo notable es que solo se emplearon dos bits de los 25 bits del registro `cnt`, esto es algo que no se pudo explicar. A juicio propio resulta ineficiente, aunque podría representar una ventaja para otro proceso como el de síntesis, no obstante, esto es solo una suposición.

3.2.2 Bloques `lpm_dff2` y `reset`

Como se mencionó antes, el proyecto con el que se cuenta para la T314 tiene 5 bloques `lpm_dff2` con dos entradas y una salida, todas escalares. En esencia estos bloques son *flip-flops* tipo D y además de suponerse por el nombre puede comprobarse mediante las propiedades del bloque. Lo singular es que este FFD fue realizado con el uso de funciones de lógica parametrizable de la biblioteca de altera, específicamente con el *plug-in* LPM_FF. Este *plug-in* permite crear *flip-flops* tipo D o T, usar entrada de habilitación de reloj y consume según el gestor de configuración una LUT.

Aunque los cinco FFD son idénticos en cuanto a la forma en que instanciaron, tienen conectadas entradas y salidas diferentes en el diseño, incluso cuatro están conectados a la señal de reloj de entrada y uno a la señal de reloj de 40 MHz (ver Figura 3.3).

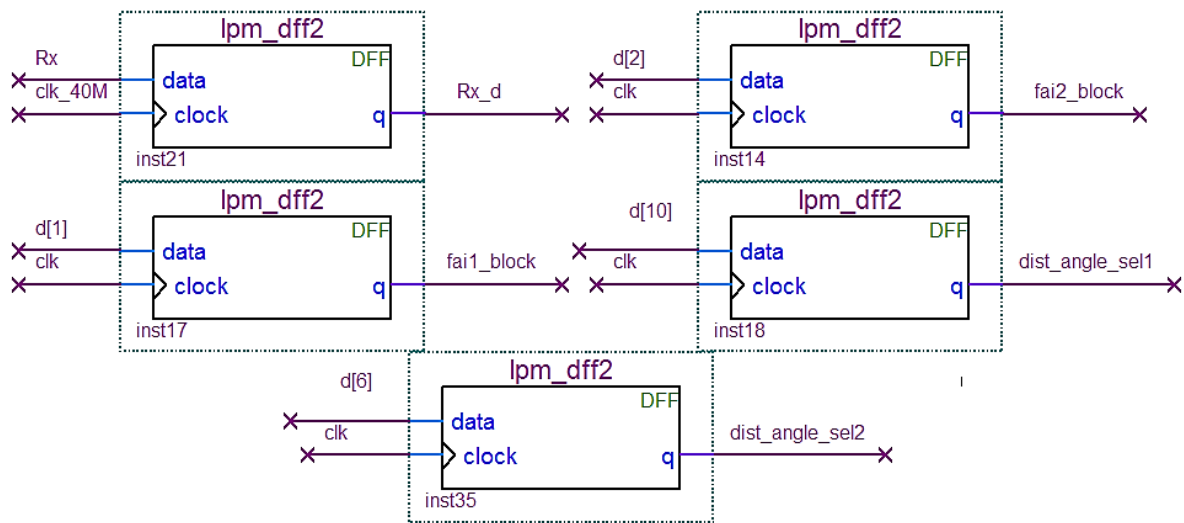


Figura 3.4 Distribución de entradas y salidas a los FFD del proyecto de la T314.

En el bloque reset implementado en VHDL, se utiliza una señal cnt de 24 bits de tipo entero sin signo. La función de este bloque es generar un pulso a la salida con duración en los 10 primeros pulsos de reloj. Se vuelve a utilizar la función to_unsigned para representar esta vez un 10 en un registro 24 bits. No se sabe la intención exacta de utilizar los 24 bits, pues la mayoría de estos nunca se utilizan.

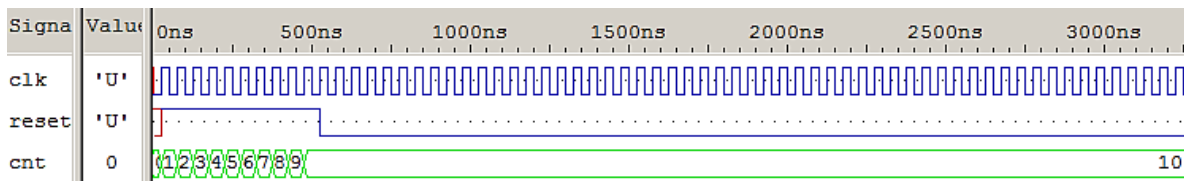


Figura 3.5 Simulación del bloque reset.

3.2.3 Bloque sb4_rec

Este bloque está definido en varios niveles jerárquicos. En el primer nivel está compuesto por cuatro bloques: clock_1ms, RS, rec115_4d y r_16_rsb4.

El bloque clock_1ms convierte la señal de entrada de 40MHz a una señal de salida con período de 1ms (ver Figura 3.6).

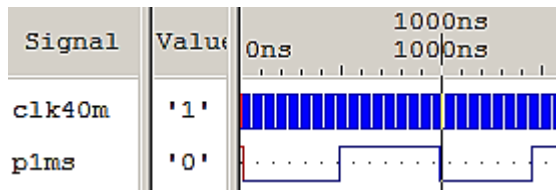


Figura 3.6 Formas de onda del bloque clock_1ms.

El bloque RS entrega una forma de onda sencilla de un borde que se activa una vez que la variable cnt se incrementa por encima de 60. Dicha variable fue declarada como entero en el rango 0-64.

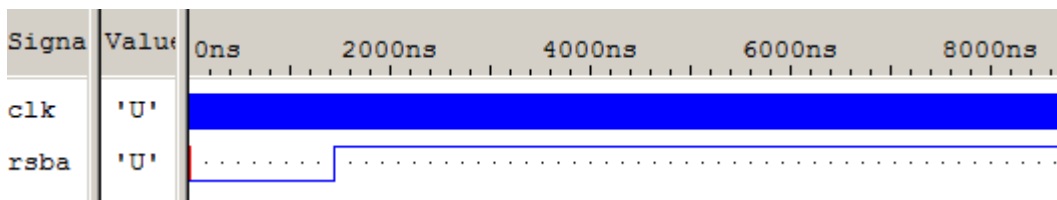


Figura 3.7 Forma de onda del bloque RS.

El bloque rec115_4d tiene otro nivel interior de esquema compuesto por bloques de administración de sincronismo y un buffer FIFO (*First In First Out*) parametrizable. Los administradores de sincronismo tienen una estructura como la de la Figura 3.8 y no hace más que mostrar a la salida las coincidencias de los bordes de la entrada con el reloj de los DFF. En un caso lo hace con la entrada clr, detectando su borde activación y en otro caso lo hace con la salida wr de simfspconv_b. Ocho de estos bloques conforman la demora delay8, para la entrada rd.

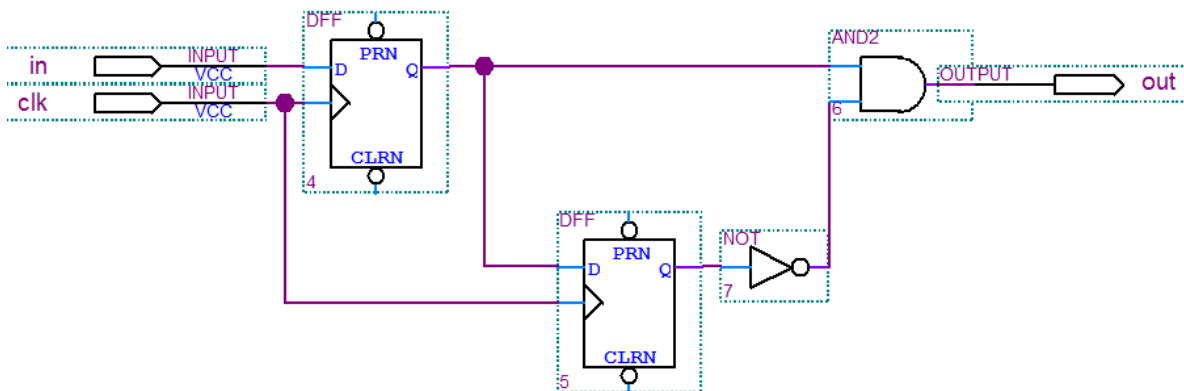


Figura 3.8 Esquema de un bloque synctrigger.

El dato de 8 bits de la salida de `simfspconv_b` reciben el contenido de una cadena de relaciones entre variables declaradas: `dcopy` y `daav`. Su funcionamiento depende de la secuencia que reciba la entrada `rxid`.

El bloque `LPM_FIFO` utiliza los bloques `M4K` de memoria y existe para permitir compatibilidad hacia atrás con implementaciones más anteriores que utilizan la biblioteca de mega funciones de Altera. La configuración de este bloque se muestra en la Figura 3.9.

<code>ALLOW_RWCYCLE_WHEN_FULL</code>	"OFF"
<code>LPM_NUMWORDS</code>	128
<code>LPM_SHOWAHEAD</code>	"ON"
<code>LPM_WIDTH</code>	8
<code>LPM_WIDTHU</code>	<code>ceil(log2(LPM_NUMWORDS))</code>
<code>OVERFLOW_CHECKING</code>	"ON"
<code>UNDERFLOW_CHECKING</code>	"ON"
<code>USE_EAB</code>	"ON"

Figura 3.9 Parámetros del bloque `LPM_FIFO` presente en `rec115_4d`.

No se tiene una claridad buena en cuanto a la función del `rec115_4d`, simularlo depende sobre todo de la especificación del *testbench*⁶ a colocarle. Esto suele suceder con el análisis de diseños sistémicos basados en FPGA y CPLD. No obstante de manera general entrega un dato de 8 bits conformado en `simfspconv_b` y entregado a un *buffer* FIFO. Además entrega la cantidad de palabras digitales presentes en ese momento en el *buffer* FIFO.

El último bloque que queda por describir del sistema `sb4_rec` es el `r_16_rsb4`. Este tiene dos salidas `rd` y `wr` que aluden a la idea de escribir y leer. Además tiene tres salidas de 16 bits que hospedan el resultado de sumas de verificación realizadas con XOR sobre la entrada `din`.

3.2.4 Bloques `fai_agc_ro_1` y `fai_agc_ro_2`

Del nombre de estos bloques se puede deducir que son los bloques AGC (control automático de ganancia) por los planos F1 y F2 para los canales del cohete 1 y 2.

A la entrada llegan una serie de señales y en la salida solo se obtiene la tensión de Regulación automática de la amplificación (RAA o CAG en formato digital de 8 bits). Siguiendo las líneas del diseño esquemático hasta llegar a otros bloques o hasta los puertos, y luego por el

⁶ Nicho de pruebas

esquema electrónico, se puede conocer las características de las señales que llegan a este bloque para que tener una idea de lo que hacen.

La programación del hardware de este bloque está realizada en formato texto, en el lenguaje de descripción de hardware VHDL. Como se observa, por los puertos de la entidad se reciben señales digitales de 1 bit, exceptuando la señal “ad_data”, que es entrada de 12 bits. La salida (“da_data”) es una señal digital de 8 bits.



Figura 3. 10 Esquema de un bloque fai_agc_ro_1.

En la entidad fai_agc_ro_1 (*ENTITY* fai_agc_ro_1) se ejecuta un proceso que parte de la encuesta de la señal “reset”. Cuando “reset=0” la encuesta es a los regímenes de trabajo de la estación, después de lanzado el cohete. En el segmento de programa de la figura siguiente se puede ver este proceso.

```

if reset = '1' then
  cnt <= (OTHERS=>'0'); da_data_1temp <= to_signed(128,10);ad_data_delay <= (OTHERS=>'0');
  max_data <= x"800";max1_data <= x"800";max2_data <= x"800";da_data_1temp <= to_signed(128,10);
  ad_data_temp <= (OTHERS=>'0');da_data_2temp <= (OTHERS=>'0');err_temp <= (OTHERS=>'0');

```

Figura 3. 11 Encuesta a los regímenes de trabajo de la estación.

La inicialización de las señales se pone cuando “reset=1”. Las encuestas a los regímenes de amplificación del canal del cohete; es decir, los regímenes: “Receptor abierto”; “RAA1”

(AGC1), que se establece inmediatamente después del lanzamiento; “Memoria”, que se establece un tiempo antes de la captura; y “RAA”, que es el régimen de control automático de la amplificación que sigue después de haber ocurrido la captura del cohete en el aire se observan en la figura siguiente.

```

if receive_open='1' then da_data<=std_logic_vector(to_unsigned(255,8));
elsif agc1_sys='1' then da_data<=std_logic_vector(to_unsigned(140,8));
elsif memory_sys='1' then da_data<=std_logic_vector(to_unsigned(160,8));
elsif agc_sys='1' then

```

Figura 3. 12 Encuestas a los regímenes de amplificación del canal del cohete.

Los valores que, en cada caso, se asignan al puerto de salida “da_data”, que es un puerto de 8 bits, son niveles digitales, que después de salir del FPGA y convertirse a formato analógico, representan la tensión de RAA (regulación automática de la amplificación) que se aplica a los amplificadores de video del canal correspondiente de la T314.

Es de notar que después que ocurre el último “elsif” (“agc_sys=1”) el proceso adapta los niveles de amplificación (el nivel de la tensión RAA) a la amplitud de la señal del cohete capturada que está en vuelo. La forma en que se hace esa regulación se obtiene siguiendo cada renglón programado, que es secuencial como si fuera un segmento de software cualquiera. Esta secuencia se entiende mejor si con ella se realiza un diagrama en bloques que contenga todos los IF y las asignaciones que están en cada renglón de programa.

3.2.5 Bloque com_process

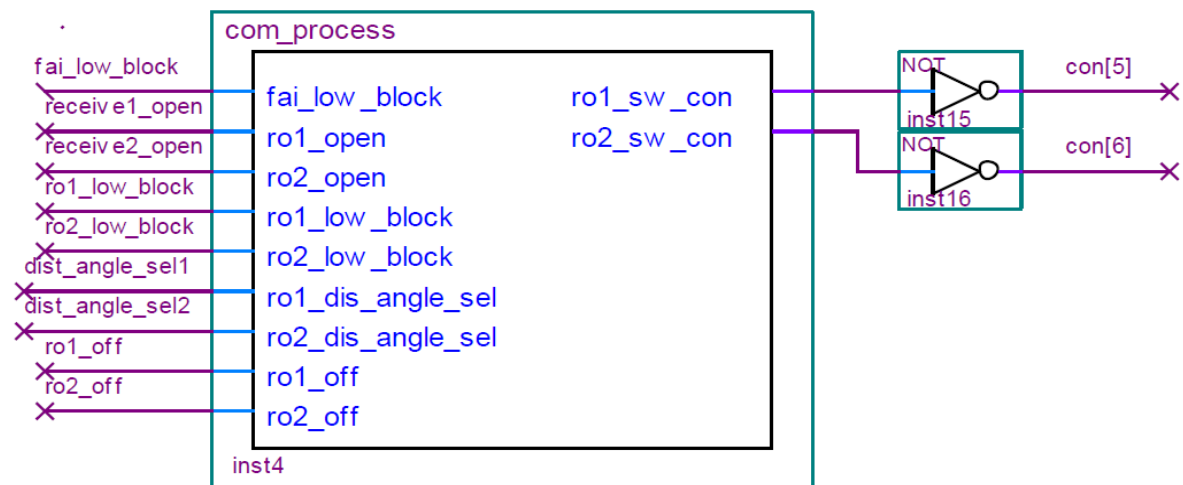


Figura 3. 13 Esquema del bloque com_process.

Este bloque recibe los impulsos de sincronismo por distancia y ángulo y elabora los impulsos selectores que permiten el paso de las señales por los planos F1 o F2 coincidiendo con el momento en que esté barriendo la antena UV11 por cada plano.

Elabora las señales “con[5]” y “con[6]”, que son los bits 5 y 6 de la palabra de 7 bit (con[6..0]) que sale por las pines 240 y 239 respectivamente, del FPGA. Estos bits 5 y 6 son impulsos en valor “0” ó “1” y tienen que ver con el envío de la señal hacia la salida de la T314 o la puesta a tierra de la señal. Por lo tanto con estos impulsos se controla la salida de cada canal del cohete.

Como a la entrada de este bloque de diseño esquemático están las señales relacionadas con los blanqueos de la antena UV11 (“fai1_low_block”), relacionadas con el mando “receptor abierto” (“ro1_open”), con los blanqueos de baja altura (“ro1_low_block”) y con los impulsos selectores de ángulo y distancia (“ro1_dis_angle_sel”), en el mismo se forma la señal impulsiva que permite que se vea la señal del cohete o no, según cada uno de los casos.

3.2.6 Bloque led_cont

Este bloque de diseño esquemático recoge la lógica de los regímenes de amplificación y manda cada señal a la salida, por los pines 11, 12, 13, 14, 15 y 16, del FPGA, para indicar, con LEDs, cada una de las acciones.

La idea general del funcionamiento es que la señal del cohete del 2do canal, desde la R36 (R17 1er canal), se envía al amplificador U71 (U73 1er canal), del tipo AD817AR, y de ahí al conversor A/D U72 (U74 por el 1er canal), del tipo AD9224. Esa señal digital se aplica a los correspondientes pines del FPGA, que en el programa toma el nombre de “ADB[11..0]” (“ADA[11..0]” para el 1er canal).

Estas señales entran en los correspondientes bloques de diseño esquemático “fai_agc_ro_1” y “fai_agc_ro_2” y todo sucede según las explicaciones anteriores, obteniéndose a la salida la tensión de RAA que, luego de salir del FPGA y pasar por los conversores D/A (AD5424YRU), dirige el trabajo de los amplificadores T1 y T2 en la entrada de la T314.

CONCLUSIONES

Como conclusiones del trabajo se tienen:

- El FPGA EP1C12Q240I7N tiene características que satisfacen los requerimientos del proyecto dado para la tarjeta 314. Esto puede comprobarse a partir del resumen del flujo de compilación obtenido en el Quartus II, en el cual se indica una utilización del 10% del total de elementos lógicos, el 47% de los pines hábiles, menos de 1% de los bits de memoria y 1 PLL. La arquitectura de este dispositivo es un estandarte de la compañía que lo produce y solo en conjunto con la herramienta EDA, en este caso el Quartus II, se puede explotar al máximo.
- El funcionamiento del complejo *Pechora* involucra casi todas las ramas de la ingeniería eléctrica y electrónica. Para lograr su plena capacidad combativa, el Pechora modernizado tiene que pasar por un proceso continuo de investigación y desarrollo. El sistema receptor en concreto está conformado de un conjunto de tarjetas que realizan un procesamiento digital de las señales provenientes de las antenas, basado en FPGAs. Entre estas tarjetas está la T314 con un FPGA EP1C12Q240I7N, que realiza tratamiento RTL a las señales de entrada para entregar una señal equivalente al seguimiento del artículo.
- El diseño con el que se cuenta para la T314 es complejo desde el punto de vista de la cantidad de bloques tanto HDL y esquemáticos presentes y también por la naturaleza de las descripciones. No es posible un análisis particular de la funcionalidad de la T314 sin una vasta perspectiva sistémica del funcionamiento del sistema receptor. La mayor parte del diseño está especificado en VHDL y bloques paramétricos de la biblioteca de mega funciones de Altera, estos últimos especificados en el lenguaje AHDL.
- Los bloques principales `fai_agc_ro_1` y `fai_agc_ro_2` son de lo principal que tiene la T314. Están relacionados con el control automático de ganancia por los planos F1 y F2 para los canales del cohete 1 y 2. En otros bloques específicos para lograr sincronismo de señales y organizar así el tratamiento de las mismas, como el `com_process`.

RECOMENDACIONES

Con el objetivo de dar seguimiento al presente trabajo se proponen las siguientes recomendaciones.

- Profundizar el análisis de la T314 desde el punto de vista del tratamiento RTL de las señales, para lograr una mejor determinación de los retos para lograr una mayor disposición combativa del sistema receptor del complejo *Pechora*.
- Incorporar al análisis el resto de las tarjetas del sistema receptor, para lograr una mejor comprensión sistémica del funcionamiento del mismo.

REFERENCIAS BIBLIOGRÁFICAS

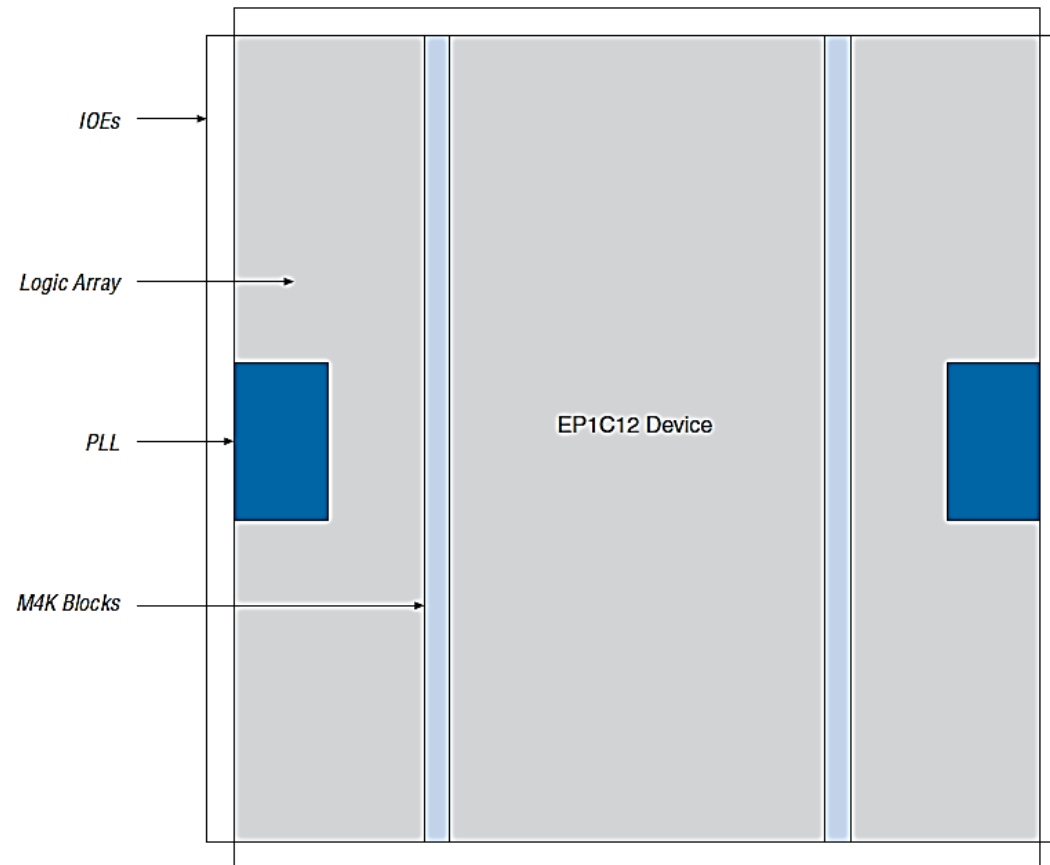
1. Altera. Cyclone Device Handbook, Volume 1: Altera Corporation; 2008. Available from: www.altera.com/literature/hb/cyc/cyc_c5v1.pdf.
2. Altera. Documentation: Cyclone Devices. Altera Corporation; 2014 [28-5-2014]; Available from: http://www.altera.com/literature/lit-cyc.jsp?ln=devices_fpga&l3=Low-Cost%20FPGAs-Cyclone&l4=Documentation.
3. Altera. About Altera's Cyclone FPGA Series. Altera Corporation; 2014 [28-5-2014]; Available from: <http://www.altera.com/devices/fpga/cyclone-about/cyc-about.html>.
4. Altera. Differences between Cyclone II & Cyclone Devices. Altera Corporation; 2014 [28-5-2014]; Available from: <http://www.altera.com/devices/fpga/cyclone2/features/differences/cy2-differences.html>.
5. Altera. Altera Product Selector v1.0. Altera Corporation; 2014 [28-5-2014]; Available from: <http://www.altera.com/products/selector/psg-index.html>.
6. Altera. Device Comparison. Altera Corporation; 2014 [28-5-2014]; Available from: http://www.altera.com/cgi-bin/device_compare.pl.
7. Altera. Quartus II Help v13.0 > DQS I/O Definition. Altera Corporation; 2013 [2-6-2014]; Available from: http://quartushelp.altera.com/13.0/mergedProjects/reference/glossary/def_dqs_io.htm.
8. Altera. Quartus II Help v13.0 > DQ I/O Definition. Altera Corporation; 2013 [2-6-2014]; Available from: http://quartushelp.altera.com/13.0/mergedProjects/reference/glossary/def_dq_io.htm.
9. Altera. Quartus II Help v13.0 > DM pin Definition. 2013 [2-6-2014]; Available from: http://quartushelp.altera.com/13.0/mergedProjects/reference/glossary/def_dm_pin.htm.
10. Kuon I, Tessier R, Rose J. FPGA architecture: Survey and challenges. Foundations and Trends® in Electronic Design Automation 2008;2(2):135-253.

11. Grout I. Digital systems design with FPGAs and CPLDs: Newnes; 2011. Available from: <http://books.google.com/books?id=vggmNXdzayYC&printsec=frontcover&dq=FPGA&hl=en&sa=X&ei=HJ6HU6vjMZCTyASv3oGoDA&ved=0CF0Q6AEwBw>.
12. Verma S. How to design an FPGA architecture tailored for efficiency and performance. UBM Tech; 2007 [29-5-2014]; Available from: http://www.eetimes.com/document.asp?doc_id=1274561.
13. Altera. Cyclone Device Handbook, Volume 2: Altera Corporation; 2003. Available from: http://users.ece.gatech.edu/~hamblen/UP3/cyc_c5v2.pdf.
14. Altera. Altera Device Part Number Format. Altera Corporation; 2014 [3-6-2014]; Available from: <http://www.altera.com/products/devices/dev-format.html>.
15. EUR-Lex. Directive 2011/65/EU of the European Parliament and of the Council of 8 June 2011 on the restriction of the use of certain hazardous substances in electrical and electronic equipment (recast) (Text with EEA relevance) EUR-Lex; 2014 [3-6-2014]; Available from: <http://eur-lex.europa.eu/legal-content/EN/TXT/?qid=1399998664957&uri=CELEX:02011L0065-20140129>.
16. VASG. IEEE P1076 Working Group. VHDL Analysis and Standardization Group (VASG) 2014 [3-6-2014]; Available from: <http://www.eda.org/twiki/bin/view.cgi/P1076/WebHome>.
17. Group V. Verilog Resources. Verilog.com; 2012 [3-6-2014]; Available from: <http://www.verilog.com/index.html>.
18. Altera. MAX+PLUS II AHDL: Altera Corporation; 1995. Available from: http://www.alterawiki.com/wiki/File:Altera_AHDL_Language_Reference.pdf.
19. Altera. Quartus II Help v13.1 > About AHDL. Altera Corporation; 2013 [3-6-2014]; Available from: http://quartushelp.altera.com/13.1/master.htm#mergedProjects/hdl/ahdl/ahdl_elements_numbers_ahdl.htm?GSA_pos=1&WT.oss_r=1&WT.oss=AHDL.
20. Altera. Quartus II Help v13.1 > Elements (AHDL). Altera Corporation; 2013 [6-6-2014]; Available from: http://quartushelp.altera.com/13.1/master.htm#mergedProjects/hdl/ahdl/ahdl_elements_numbers_ahdl.htm?GSA_pos=1&WT.oss_r=1&WT.oss=AHDL.
21. Altera. Quartus II Help v13.1 > Using AHDL in the Quartus II Software. Altera Corporation; 2013 [6-6-2014]; Available from: http://quartushelp.altera.com/13.1/master.htm#mergedProjects/hdl/ahdl/ahdl_elements_numbers_ahdl.htm?GSA_pos=1&WT.oss_r=1&WT.oss=AHDL.
22. Pierrat GG. Generalidades de la Estación de Conducción de Artículos ECC S125MIA Pechora. 2013.

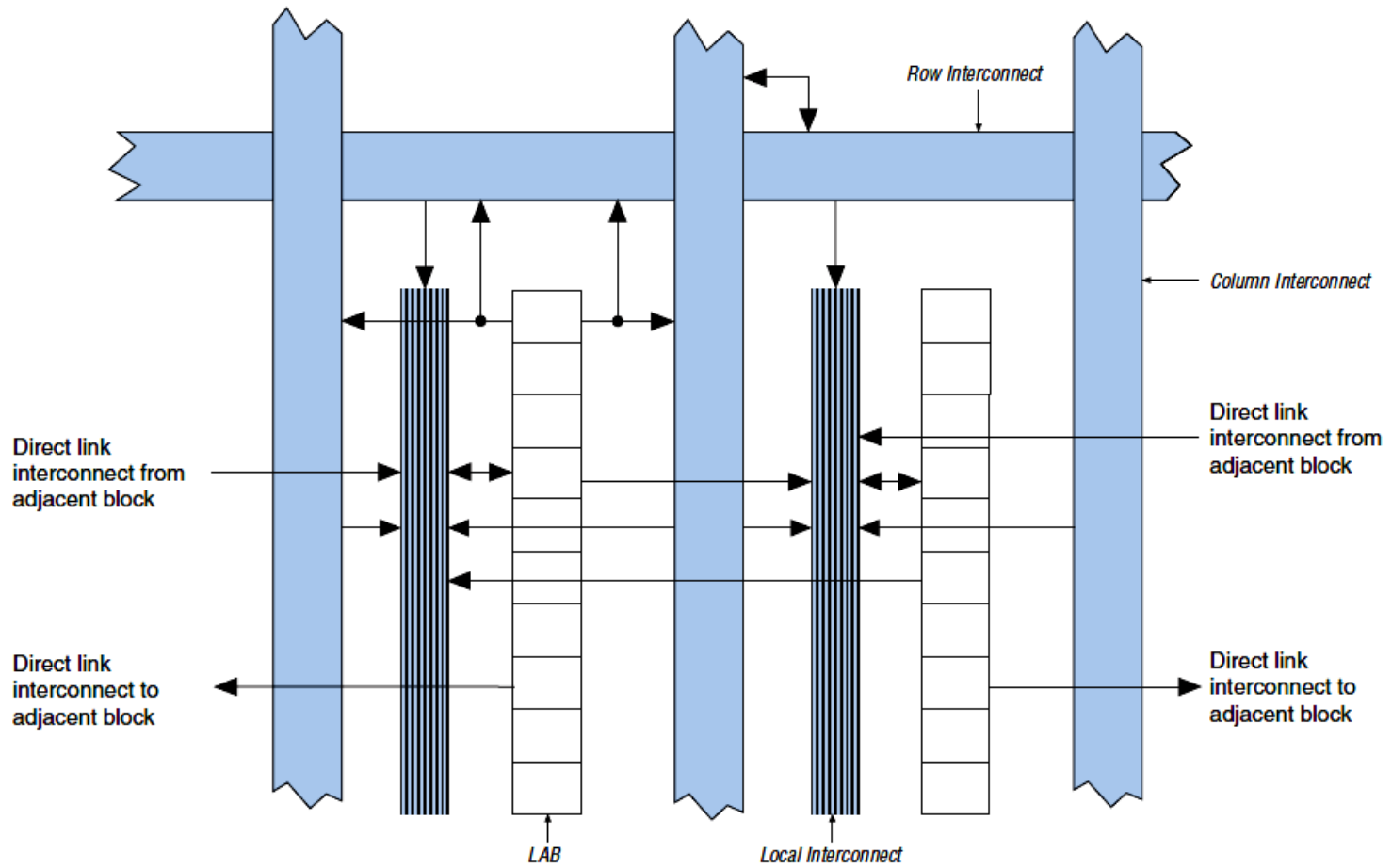
23. Pierrat GG. Orientación 1. 2014.
24. Altera. Introduction to the Quartus® II Software. [Book]. 2010.
25. Altera. Introduction to the Quartus® II Software. [Book]. 2010.

ANEXOS

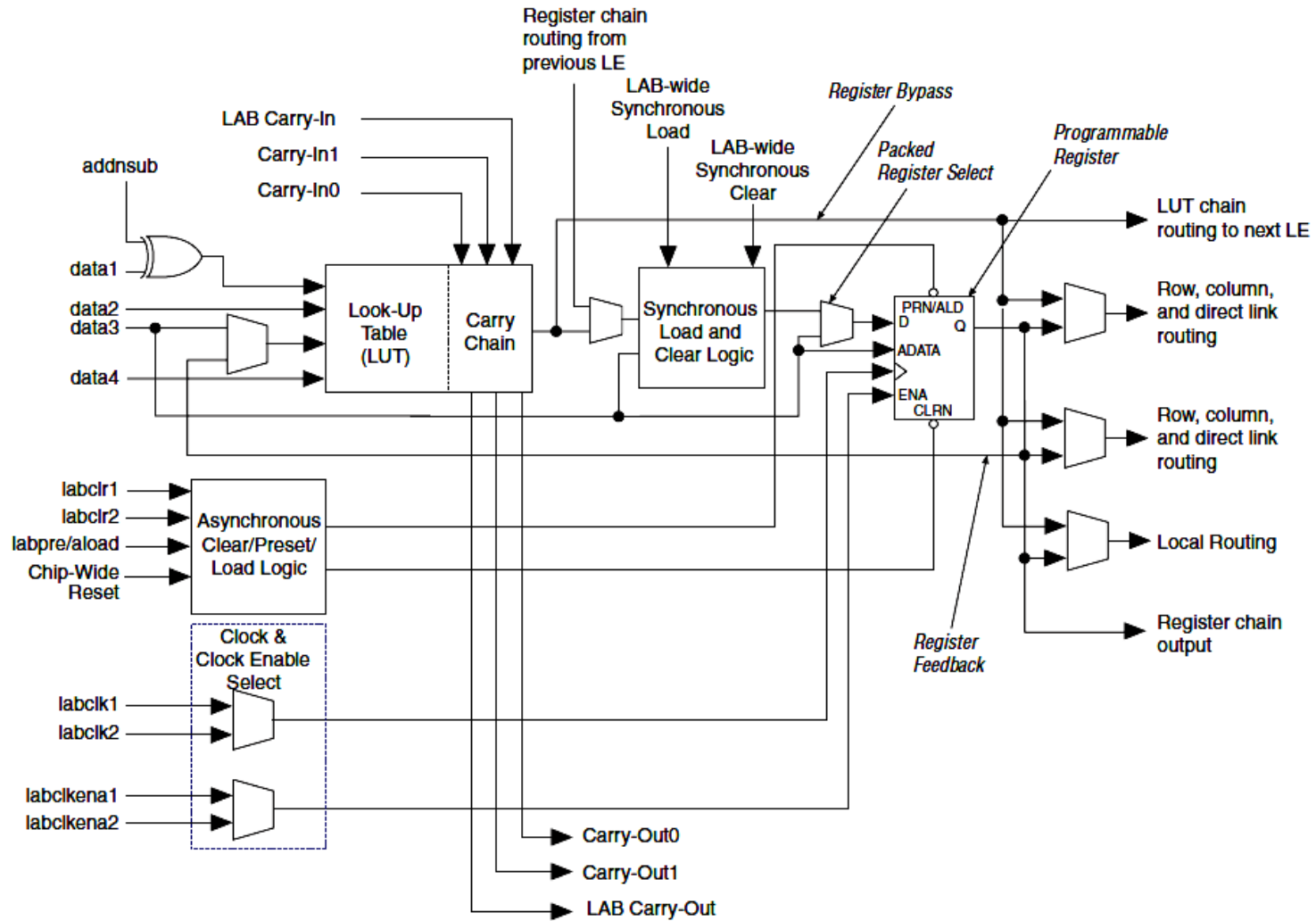
Anexo 1: Diagrama en bloques de un dispositivo EP1C12, tomado de (1)



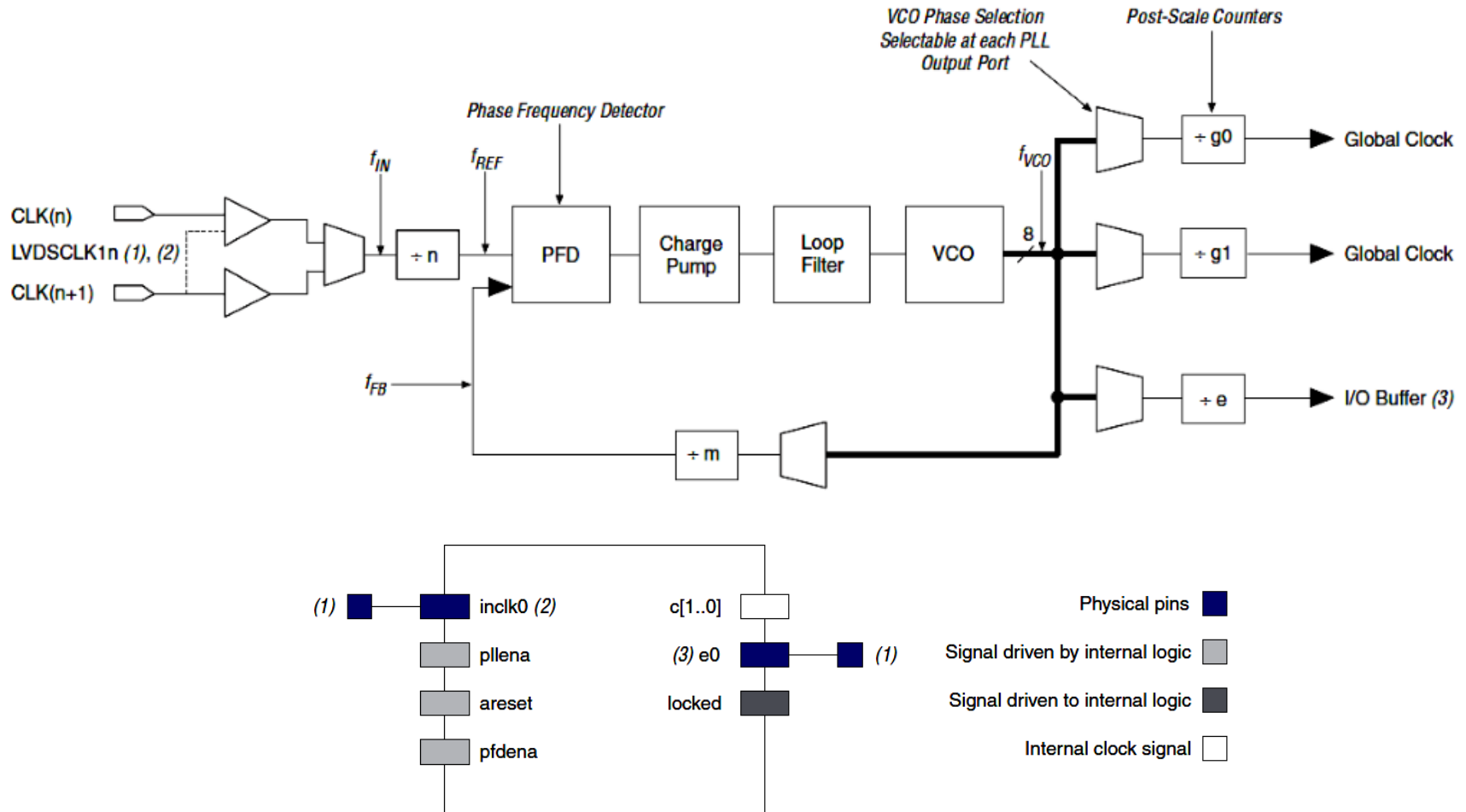
Anexo 2: Esquema del LAB de Cyclone (1)



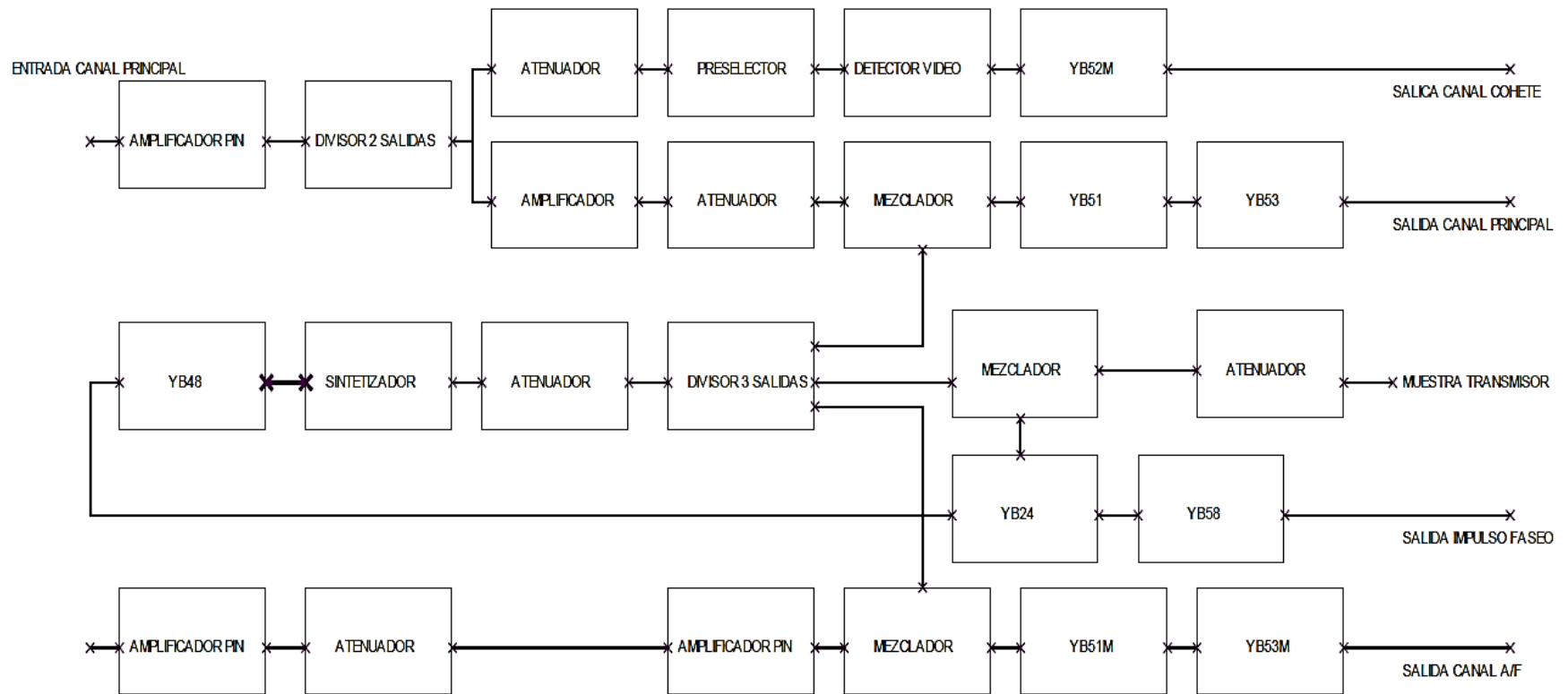
Anexo 3: Esquema de un LE según (1)



Anexo 4: Estructura del PLL de la familia de dispositivos Cyclone y sus señales para el QuartusII (1)



Anexo 5 Parte de alta frecuencia del receptor



Anexo 6 Flujo de diseño a línea de comandos

